

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 9 月 9 日 (09.09.2005)

PCT

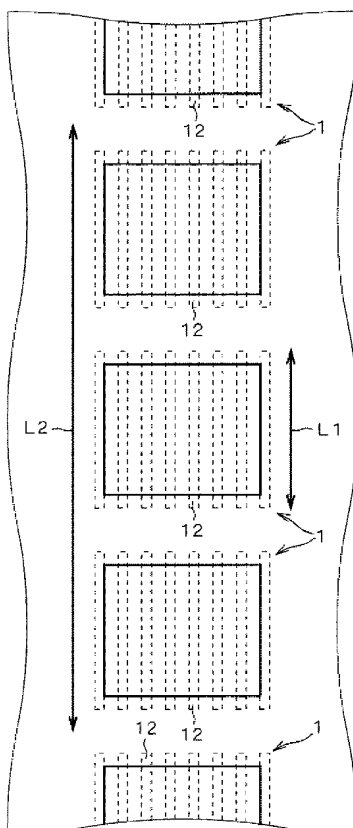
(10) 国際公開番号  
WO 2005/083767 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/3205, 21/60 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2005/002801 (75) 発明者/出願人 (米国についてののみ): 神崎 照明 (KAN-ZAKI, Teruaki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号株式会社ルネサステクノロジ内 Tokyo (JP). 出口 善宣 (DEGUCHI, Yoshinori) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号株式会社ルネサステクノロジ内 Tokyo (JP). 三木 一伸 (MIKI, Kazunobu) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号株式会社ルネサステクノロジ内 Tokyo (JP).  
(22) 国際出願日: 2005 年 2 月 22 日 (22.02.2005)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2004-051486 2004 年 2 月 26 日 (26.02.2004) JP (74) 代理人: 吉田 茂明, 外(YOSHIDA, Shigeaki et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 4 番 7 0 号住友生命 O B P プラザビル 1 0 階 Osaka (JP).  
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP). (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device wherein strength against a stress generated in a bonding pad is improved. A plurality of bonding pads (1) are provided. In each of the bonding pads (1), a plurality of linear second metals (12) are provided under a first metal (11) formed by using an uppermost layer. Then, to improve the strength against the stress generated in the bonding pad, the bonding pads (1) are arranged in the longitudinal direction of the second metals (12). Namely, the bonding pads (1) are arranged so as to have the longitudinal direction (L1) of the second metal (12) and the arrangement direction (L2) of the bonding pads (1) in the same direction.

(57) 要約: 本発明は、ボンディングパッドで発生する応力に対する強度を向上させることが可能な半導体装置を提供することを目的とする。本発明に係る半導体装置においては、半導体チップ上にボンディングパッド (1) が複数個設けられる。それぞれのボンディングパッド (1) においては、最上層の配線層を用いて形成された第 1 メタル (11) の下に、ライン状の第 2 メタル (12) が複数個設けられる。そして、上記目的を達成するために、ボンディングパッド (1) は、第 2 メタル (12) の長手方向に並べて配設される。つまり、第 2 メタル (12) の長手方向 (L1) と、ボンディングパッド (1) の配列方向 (L2) とが同じ方向になるように、ボンディングパッド (1) を並べて配設する。

WO 2005/083767 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 半導体装置

### 技術分野

- [0001] 本発明は、ボンディングパッドを有する半導体装置の構造に関し、特に、プロービングやワイヤボンディングの際にボンディングパッドにかかる応力(ストレス)に対する強度を向上させるための技術に関するものである。

### 背景技術

- [0002] 半導体チップの電氣的試験におけるプロービングや、半導体装置の組立時におけるワイヤボンディングの際には、半導体チップ上面に形成されたボンディングパッドに機械的な応力が加わる。ボンディングパッドに加わる応力は、当該パッド下の層間絶縁膜にクラックを発生させ、ワイヤボンディング時のパッドはがれを引き起こす原因となっている。
- [0003] そのため従来は、ボンディングパッドの下地にタングステンなどのメタル層を敷くことで、当該メタル層に応力を吸収させる手法がとられていた。通常、ボンディングパッドは最上の配線層(最上層配線層)を用いて形成され、下地のメタル層は上層配線層とその下の配線層(下層配線層)とを接続するためのビア(Via)を用いて形成される。即ち、下地メタル層の形成は、上層配線層と下層配線層とを接続するための本来のビアの形成と同じ工程で行われる。
- [0004] 下地メタル層の大きさは、ボンディングパッドの大きさと同じ程度にする必要があり、本来のビアに比較して極めて大口径になる。そのため、従来の半導体装置の製造工程では、大口径のビア(下地メタル層)と小口径のビア(本来のビア)とが同時に形成されるようになっていた。しかしながら、大口径のビアホールと小口径のビアホールとでは、エッチング速度が異なるので、大口径のビアホールと小口径のビアホールの両方で適切なエッチング量を得ることが困難であり、加工精度が低下してしまう。また、ビアホール内にメタルを堆積させる際、大口径のビアホールは小口径のものに比べてメタルが完全に埋まるまで長時間を要するため十分にメタルの膜厚を確保できず、それに起因して大口径のビアの上面はディッシングしやすい。つまり下地メタル層の

上面の高さは不均一になるので、その上に形成するボンディングパッドの上面の高さを均一にすることが困難になってしまう。ボンディングパッドの上面の高さが不均一であると、確実なプロービングやワイヤボンディングが困難になり、半導体装置の信頼性が低下してしまう。

[0005] 一方、ボンディングパッドの下地メタル層を、大口径のビアでなく、複数のライン状（長尺状）にして形成する技術が知られている（例えば特許文献1-3）。下地メタル層を複数のライン状にすると、上の問題は解決される。

[0006] 特許文献1:特開2002-110731号公報

特許文献2:特開平10-199925号公報

特許文献3:特開平6-196525号公報

[0007] しかし、ボンディングパッドの下地メタル層を複数のライン状にして形成した場合、下地メタル層として大口径のビアを設けた場合と比較して、特定の方向からの応力に対して大きく強度が落ちることが懸念される。例えば特許文献1においては、下地メタル層の長手方向（ライン方向）と、プロービングの際のプローブの進入方向とが平面視で垂直になった場合（即ち、応力の印加方向が下地メタル層のライン方向に平面視で垂直である場合）に、ライン状の下地メタル層の側壁と層間膜との間よりクラックが生じやすいことが示されている。

[0008] ボンディングパッドにかかる外部からの応力により、その下の絶縁膜にクラックが生じてそれが配線にまで達すると、当該配線のメタルマイグレーション耐性が劣化してしまう。また、配線がボンディングパッドの下方を通るように配設されている構造は、比較的強度が弱く、クラックが発生し易くなる傾向にある。従って、クラックの発生を防止するには、ボンディングパッドの下方に不用意に配線を通さないことが望ましい。しかし、半導体装置を高集積化するためには、ボンディングパッドの下の領域をも有効利用する必要がある、ボンディングパッドの下方にも配線を配設することが余儀なくされている。

## 発明の開示

[0009] 本発明は以上のような課題を解決するためになされたものであり、ボンディングパッドで発生する応力に対する強度を向上させることが可能な半導体装置を提供するこ

とを目的とする。

- [0010] 本発明の第1の局面に係る半導体装置は、最上層配線層を用いて形成された第1メタルと、前記第1メタルの下に配置され当該第1メタルと接続する複数のライン状の第2メタルとを有するボンディングパッドを複数個備える半導体装置であって、前記複数のボンディングパッドが、前記ライン状の第2メタルの長手方向に並べて配設されているものである。
- [0011] 本発明の第2の局面に係る半導体装置は、最上層配線層を用いて形成された第1メタルと、前記第1メタルの下に配置され当該第1メタルと接続する複数のライン状の第2メタルとを有するボンディングパッドを備える半導体装置であって、前記複数の第2メタルが、前記第1メタルの下の絶縁膜に埋め込まれており、当該絶縁膜内でその上部が互いに接続しているものである。
- [0012] 本発明の第3の局面に係る半導体装置は、最上層配線層を用いて形成された第1メタルと、前記第1メタルの下に配置され当該第1メタルと接続する複数のライン状の第2メタルとを有するボンディングパッドを備える半導体装置であって、当該半導体装置は、前記最上層配線層の1層下の第1下層配線層を有し、前記ボンディングパッドが、前記第2メタルの下に配置され、前記第1下層配線層表面のバリアメタルを用いて形成されたエッチングストッパを備えるものである。
- [0013] 本発明の第4の局面に係る半導体装置は、ボンディングパッドと、前記ボンディングパッドの下方を通る配線とを備える半導体装置であって、前記ボンディングパッドの下方の領域における前記配線上に、複数の所定形状の第4メタルを備えるものである。
- [0014] 本発明の第5の局面に係る半導体装置は、ボンディングパッドと、前記ボンディングパッドへ信号を出力する出力バッファと、前記ボンディングパッドに印加された信号が入力される入力バッファと、前記出力バッファの入力側および前記入力バッファの出力側に接続する内部回路とを備え、前記ボンディングパッドは、前記出力バッファの上方に形成され、前記入力バッファおよび前記内部回路の上方には形成されていないものである。
- [0015] 本発明の第6の局面に係る半導体装置は、ボンディングパッドと、前記ボンディング

パッドへ信号を出力する出力バッファと、前記ボンディングパッドに印加された信号が入力される入力バッファと、前記出力バッファの入力側および前記入力バッファの出力側に接続する内部回路とを備え、前記ボンディングパッドは、前記出力バッファおよび前記入力バッファの上方並びに前記内部回路の一部の上方に跨って形成されているものである。

- [0016] 本発明の第1の局面によれば、複数のボンディングパッドがライン状の第2メタルの長手方向に並べて配設されているので、チップの外側から進入してくるプローブやボンディングツール等を、その進入方向がボンディングパッドの第2メタルの長手方向に垂直になるようにして当接させやすくなる。第2メタルの幅と間隔を適切に調整することによって、クラックの発生を抑制でき、信頼性の高い半導体装置を形成することが可能になる。
- [0017] 本発明の第2の局面によれば、複数の第2メタルはその上部が互いに接続しているので、ボンディングパッドの強度の方向依存性が小さくなる。
- [0018] 本発明の第3の局面によれば、ボンディングパッドが、第2メタルの下に、第1下層配線層表面のバリアメタルを用いて形成されたエッチングストッパを備えるので、第2メタルによる強度向上の効果に加え、その形成工程の際に、第2メタルのためのビアホールの深さ適切にすることを容易に行うことができる。
- [0019] 本発明の第4の局面によれば、ボンディングパッドの下方の領域において、第2下層配線層による配線上に、複数の第4メタルを備えるので、当該第4メタルでボンディングパッドで発生した応力を吸収でき、ボンディングパッドの下の層間絶縁膜にクラックが発生することを抑制できる。従って、半導体装置の高集積化を図る目的でボンディングパッドの下方に配線を配設する場合にも、それによる強度の劣化を抑えることができる。
- [0020] 本発明の第5の局面によれば、ボンディングパッドは、出力バッファの上方に形成され、入力バッファおよび前記内部回路の上方には形成されない。出力バッファは、形成面積が大きく、応力に対する耐性が高いので、半導体装置の強度劣化を最小限に抑制しつつ、高集積化を図ることができる。
- [0021] 本発明の第6の局面によれば、ボンディングパッドは、出力バッファおよび入力バッ

ファの上方並びに内部回路の一部の上方に跨って形成されるので、ボンディングパッドの面積を大きくすることができ、当該ボンディングパッドへのプロービングおよびボンディングが容易になる。また、ボンディングパッドの上面をプロービングを行うための領域と、ワイヤボンディングを行うための領域とに分けて使用すれば、プロービング後であってもワイヤを確実にボンディングすることができ、半導体装置の信頼性が向上する。

[0022] この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

#### 図面の簡単な説明

- [0023] [図1]実施の形態1に係る半導体装置のボンディングパッドの上面図である。  
[図2]実施の形態1に係る半導体装置のボンディングパッドの断面図である。  
[図3]実施の形態1に係る半導体装置のボンディングパッドの断面図である。  
[図4]実施の形態1に係る半導体装置のボンディングパッドの拡大断面図である。  
[図5]ボンディングパッドに当接するプローブの一例を示す図である。  
[図6]本発明の効果を示す実験結果を示す図である。  
[図7]実施の形態1に係る半導体装置におけるボンディングパッドの配設方法を説明するための図である。  
[図8]実施の形態1に係る半導体装置におけるボンディングパッドのレイアウトの一例を示す図である。  
[図9]実施の形態1に係る半導体装置におけるボンディングパッドのレイアウトの一例を示す図である。  
[図10]実施の形態1に係る半導体装置のボンディングパッドの拡大断面図である。  
[図11]実施の形態2に係る半導体装置のボンディングパッドの断面図である。  
[図12]実施の形態2に係る半導体装置のボンディングパッドの断面図である。  
[図13]実施の形態2に係る半導体装置のボンディングパッドの拡大断面図である。  
[図14]実施の形態2における問題点を説明するための図である。  
[図15]実施の形態3に係る半導体装置のボンディングパッドの断面図である。  
[図16]実施の形態3に係る半導体装置のボンディングパッドの断面図である。

[図17]実施の形態3に係る半導体装置のボンディングパッドの拡大断面図である。

[図18]実施の形態3に係る半導体装置の製造工程を示す図である。

[図19]実施の形態3に係る半導体装置の製造工程を示す図である。

[図20]実施の形態3に係る半導体装置の製造工程を示す図である。

[図21]実施の形態3に係る半導体装置の製造工程を示す図である。

[図22]実施の形態3に係る半導体装置の製造工程を示す図である。

[図23]実施の形態4に係る半導体装置のボンディングパッドの上面図である。

[図24]実施の形態4に係る半導体装置のボンディングパッドの断面図である。

[図25]実施の形態4に係る半導体装置のボンディングパッドの断面図である。

[図26]実施の形態4に係る半導体装置のボンディングパッドの断面図である。

[図27]実施の形態5に係る半導体装置のボンディングパッドの上面図である。

[図28]実施の形態5に係る半導体装置のボンディングパッドの断面図である。

[図29]実施の形態5に係る半導体装置のボンディングパッドの断面図である。

[図30]実施の形態5に係る半導体装置におけるボンディングパッドおよびその下層の配線のレイアウトの一例を示す図である。

[図31]実施の形態5に係る半導体装置におけるボンディングパッドおよびその下層の配線のレイアウトの一例を示す図である。

[図32]実施の形態6に係る半導体装置の入出力部の回路図である。

[図33]実施の形態6に係る半導体装置の入出力部の活性領域およびポリシリコン電極層のレイアウト図である。

[図34]実施の形態6に係る半導体装置の入出力部の第1ビア層のレイアウト図である。

。

[図35]実施の形態6に係る半導体装置の入出力部の第1メタル配線層のレイアウト図である。

[図36]実施の形態6に係る半導体装置の入出力部の第2ビア層のレイアウト図である。

。

[図37]実施の形態6に係る半導体装置の入出力部の第2メタル配線層のレイアウト図である。



[図38]実施の形態6に係る半導体装置の入出力部の第3ビア層のレイアウト図である。

。

[図39]実施の形態6に係る半導体装置の入出力部の第3メタル配線層のレイアウト図である。

[図40]実施の形態6に係る半導体装置の入出力部の第4ビア層のレイアウト図である。

。

[図41]実施の形態6に係る半導体装置の入出力部の第4メタル配線層のレイアウト図である。

[図42]実施の形態6に係る半導体装置の入出力部の第5ビア層のレイアウト図である。

。

[図43]実施の形態6に係る半導体装置の入出力部の第5メタル配線層のレイアウト図である。

[図44]実施の形態6に係る半導体装置の入出力部の断面図である。

[図45]実施の形態6に係る半導体装置の入出力部の断面図である。

[図46]実施の形態6の変形例を示す図である。

[図47]実施の形態7に係る半導体装置の入出力部の活性領域およびポリシリコン電極層のレイアウト図である。

[図48]実施の形態7に係る半導体装置の入出力部の第1ビア層のレイアウト図である。

。

[図49]実施の形態7に係る半導体装置の入出力部の第1メタル配線層のレイアウト図である。

[図50]実施の形態7に係る半導体装置の入出力部の第2ビア層のレイアウト図である。

。

[図51]実施の形態7に係る半導体装置の入出力部の第2メタル配線層のレイアウト図である。

[図52]実施の形態7に係る半導体装置の入出力部の第3ビア層のレイアウト図である。

。

[図53]実施の形態7に係る半導体装置の入出力部の第3メタル配線層のレイアウト図

である。

[図54]実施の形態7に係る半導体装置の入出力部の第4ビア層のレイアウト図である。

。

[図55]実施の形態7に係る半導体装置の入出力部の第4メタル配線層のレイアウト図である。

[図56]実施の形態7に係る半導体装置の入出力部の第5ビア層のレイアウト図である。

。

[図57]実施の形態7に係る半導体装置の入出力部の第5メタル配線層のレイアウト図である。

[図58]実施の形態7に係る半導体装置の入出力部の断面図である。

[図59]実施の形態7に係る半導体装置の入出力部の断面図である。

[図60]実施の形態8に係る半導体装置の入出力部の第3メタル配線層のレイアウト図である。

[図61]実施の形態8に係る半導体装置の入出力部の第4ビア層のレイアウト図である。

。

[図62]実施の形態8に係る半導体装置の入出力部の第4メタル配線層のレイアウト図である。

[図63]実施の形態8に係る半導体装置の入出力部の第5ビア層のレイアウト図である。

。

[図64]実施の形態8に係る半導体装置の入出力部の第5メタル配線層のレイアウト図である。

[図65]実施の形態8の効果を説明するための図である。

[図66]実施の形態8の効果を説明するための図である。

発明を実施するための最良の形態

[0024] <実施の形態1>

図1〜図3は、本発明の実施の形態1に係る半導体装置のボンディングパッドの構造を示す図であり、図1はボンディングパッドの上面図、図2および図3はそれぞれ図1のA-A線およびB-B線に沿った当該ボンディングパッドの断面図である。

- [0025] これらの図に示すように、ボンディングパッド1は、第1層間絶縁膜22の上の最上層配線層を用いて形成された第1メタル11と、第1層間絶縁膜22内に埋め込まれた下地メタル層としての第2メタル12を有している。第2メタル12は第1メタル11の下に接続しており、互いに平行な複数のライン状のメタルにより構成されている。ボンディングパッド1はさらに、第2メタル12の下に接続する第3メタル13を有している。
- [0026] 第1メタル11は、最上層配線層による本来の配線の一部として形成される。最上層配線層の上にはパッシベーション膜21が設けられるが、ボンディングパッド1の上方は開口される。第3メタル13は、最上層配線層の1層下の第1下層配線層を用いて形成されており、第2メタル12は、最上層配線層と第1下層配線層とを接続するためのビア(コンタクトプラグ)を用いて形成されている。
- [0027] また、当該半導体装置は、第1下層配線層よりも下層の第2下層配線層を有している。そしてボンディングパッド1の下方に、第2層間絶縁膜23を介して、第2下層配線層を用いて形成された本来の配線14が配設されている。配線14は、ボンディングパッド1とは電氣的に独立している。図2および図3には、説明の簡単のため第2下層配線は第1下層配線の1層下の配線層として描いているが、さらに下層の配線層であってもよい。以上の構造が、半導体基板26上にフィールド酸化膜25および第3層間絶縁膜24を介して形成されている。なお、図1における参照符号「2」の要素は、ボンディングパッド1に当接するプローブの先端を示している。
- [0028] 第1メタル11、第3メタル13、配線14の材料は、一般的な配線材料であり、例えばアルミニウム(Al)や銅(Cu)およびそれらの合金(例えばAl-Si-Cu、Al-Cu等)などが挙げられる。第2メタル12もまた一般的なビア材料であり、例えばタングステン(W)や銅およびその合金などが挙げられる。また、パッシベーション膜21および第1〜第3層間絶縁膜22、23、24の材料は、通常シリコン酸化膜( $\text{SiO}_2$ )が一般的であるが、その他にも、フッ素ドーパシリコン酸化膜(FSG)やシリコン酸窒化膜( $\text{SiOC}$ )などの低誘電率絶縁膜(low-k膜)などでもよい。
- [0029] 上述したように、特許文献1には、ボンディングパッドの下地メタル層を複数のライン状にした場合、ボンディングパッドへの応力の印加方向が下地メタル層の長手方向(ライン方向)に平面視で垂直になるケースで、クラックが生じやすくなるという問題が

報告されている。

[0030] 本発明者は実験および応力シミュレーションにより、図1ー図3の構造を有するボンディングパッド1において、ライン状の第2メタル12それぞれの幅および間隔を適切に設定すれば、その問題が解決されることを見出した。それどころか、応力の印加方向が第2メタル12の長手方向に対して平面視で垂直に近くなると、第1層間絶縁膜22および第2層間絶縁膜23にクラックが生じにくくなり、下地メタル層として大口径のビアを設けた場合と同等の強度を得ることができるということも分かった。

[0031] 具体的には、第2メタル12の幅Wおよび間隔Dが、

$$W \leq D \leq 2 \times W \quad \cdots (1)$$

の関係を満たす場合に、上記の効果が得られた。ここで、図4は図2に示す領域Cの拡大断面図である。ビアホールは上方向からのエッチングにより形成されるため、その上部が底部よりも広く形成される傾向にある。そのため第2メタル12は、図4の如くそれぞれが逆台形型に形成される。ビアホールの底部では比較的設計寸法に近い寸法で形成可能であるので、本明細書においては第2メタル12の幅Wおよび間隔Dを、図4に示すように第2メタル12の底部における寸法として定義している。

[0032] 本実施の形態では、第2メタル12の幅Wおよび間隔Dが式(1)の関係を満たすようにボンディングパッド1形成する。そして、当該ボンディングパッド1に印加される応力の方向が第2メタル12の長手方向に対して平面視で垂直に近くなるようにする。それによって、第1層間絶縁膜22および第2層間絶縁膜23におけるクラック発生を抑制することができる。

[0033] なお、実際に形成される第2メタル12の幅Wおよび間隔Dは、その設計寸法(第2メタル12のパターニング時のマスク寸法)の幅 $W_0$ および間隔 $D_0$ と正確に等しくすることは困難であり、仕上がり寸法は設計寸法に対してある程度の誤差を有するのが通常である。例えば、エッチングの特性により、ライン状の第2メタル12においては、その長さ方向の中央部は両端部よりも若干幅が広く形成される傾向にあり、全体を均一幅で形成することは困難である。そのため実験では、部分的に式(1)の関係を厳密に満たさないケースでも上記の効果が得られた可能性はあるが、少なくとも、第2メタル12の設計寸法の幅 $W_0$ および間隔 $D_0$ が、

$$W_0 \leq D_0 \leq 2 \times W_0 \cdots (2)$$

の関係を満たす場合において、上記の効果が得られた。

[0034] ここで、半導体チップの電氣的試験に使用されるプローブ2について説明する。プローブ2の形状としては、図5(a)に示すようなボンディングパッド1の横方向から進入するカンチレバータイプのもの(以下「カンチレバープローブ」と称する)や、図5(b)に示すように、ボンディングパッド1に対して垂直方向から進入するもの(以下「垂直プローブ」と称する)などがよく知られている。図5(a)においてカンチレバープローブ2は、ボンディングパッド1に対して垂直方向Zに移動することによって第1メタル11に当接するが、それによりボンディングパッド1に印加される応力は、垂直方向(Z方向)の成分だけでなく、プローブ2の形状および弾性に起因する進入方向(X方向)の成分をも有する。従って、当該応力の方向Sは、図5(a)の如くボンディングパッド1の表面に対して斜め方向になる。

[0035] 本実施の形態では、ボンディングパッド1に印加される応力の方向が第2メタル12の長手方向に対して平面視で垂直に近くなるようにするので、プローブ2がカンチレバータイプである場合には、プローブ2の進入方向(X方向)を図1に示すように第2メタル12の長手方向に垂直に近くする必要がある。

[0036] なお、垂直プローブを第1メタル11に当接させる場合は、ボンディングパッド1に印加される応力の方向Sは図5(b)の如く、ボンディングパッド1の垂直方向Zのみである。

[0037] 図6は、上記実験およびシミュレーション結果を示す図である。実験およびシミュレーションのそれぞれにおいては、半導体チップの電氣的試験(テスト)を想定し、ボンディングパッド1へのプロービング回数に対する第1層間絶縁膜22および第2層間絶縁膜23のクラック発生の有無を観察した。当該実験およびシミュレーションでは、ボンディングパッド1の強度における方向依存性を確めるために、当接させるプローブ2としてはカンチレバープローブを用いた。なお、図6に示している表は、具体的には第2メタル12の設計寸法の幅 $W_0$ を $0.28 \mu\text{m}$ 、間隔 $D_0$ を $0.36 \mu\text{m}$ として形成した場合の実験およびシミュレーション結果である。表の縦方向にプロービング時のオーバードライブ量(OD量)、表の横方向にプロービング回数を示している。オーバードライ

ブ量とは、プローブ2をボンディングパッド1の第1メタル11に接触させた後の押し下げ量のことである。

[0038] 図6に示すように、実施の形態1のボンディングパッド1においては、プローブ2の進入方向Xを第2メタル12の長手方向に平面視で垂直にして当接させた場合に、従来のボンディングパッド構造(下地メタル層として大口径のビアを用いた構造)と同等の良好な結果が得られた。また、同図に示すように、実施の形態1のボンディングパッド1に対し、プローブ2の進入方向Xを第2メタル12の長手方向に平行に当接させた場合でも、従来のボンディングパッド構造に近い結果が得られ、強度の方向依存性は小さいことが分かった。但し、長手方向に垂直にして当接させた場合に比較すると若干強度落ちる。

[0039] この結果からも分かるように、本実施の形態のボンディングパッド1に対しては、プローブ2を、その進入方向Xを第2メタル12の長手方向に垂直にして当接させることが望ましい。そこで本実施の形態では図7の如く、半導体チップ上にボンディングパッド1を、第2メタル12の長手方向に並べて配設する。図7において、矢印L1は第2メタル12の長手方向を示しており、矢印L2はボンディングパッド1の配列方向を示している。このように第2メタル12の長手方向とボンディングパッド1の配列方向とが同じ方向になるように、ボンディングパッド1を並べて配設するのである。

[0040] 図8および図9は、本実施の形態におけるボンディングパッド1のレイアウトの一例を示す図である。通常、半導体チップのテスト装置では、プローブ2が半導体チップの外側から内側に向かって進入するように配設されている。その進入方向は個々のテスト装置や、テスト対象の半導体チップに応じて異なるが、例えば図8のように半導体チップ3に対して4方向から進入してくるケースや、図9のように半導体チップ3に対して2方向から進入してくるケースが一般的である。図8のケースでは、図7の如く並べたボンディングパッド1の列を半導体チップ3の4つの辺それぞれに沿設させる。それにより、4方向から進入するそれぞれのプローブ2の進入方向が、各ボンディングパッド1の第2メタル12の長手方向に平面視で垂直になり、半導体チップ3におけるクラック発生を抑制することができる。また図9のケースでは、図7の如く並べたボンディングパッド1の列を半導体チップ3上に2列並べて配置する。それにより、2方向から進入

するそれぞれのプローブ2の進入方向を、各ボンディングパッド1の第2メタル12の長手方向に平面視で垂直にしやすい、半導体チップ3におけるクラック発生を抑制することができる。

[0041] つまり図7の如く、半導体チップ3上に、ボンディングパッド1を第2メタル12の長手方向に並べて配設することにより、チップの外側から進入してくるプローブ2を、その進入方向がボンディングパッド1の第2メタル12の長手方向に平面視で垂直になるようにして当接させやすくなる。本実施の形態では、ボンディングパッド1に印加される応力の方向が第2メタル12の長手方向に平面視で垂直に近くなると、第1層間絶縁膜22および第2層間絶縁膜23にクラックが生じにくくなる。従って、プロービングによるクラックの発生を抑制でき、信頼性の高い半導体装置を形成することが可能になる。

[0042] また、下地層である第2メタル12はライン状であるので、小口径の本来のビアと並行して形成する場合にも、第2メタル12の上面でディッシングが生じ難く、その表面の高さはほぼ均一になる。そのため、その上に第1メタル11を形成する際にも、当該第1メタル11の上面の高さを均一にして形成することも容易になる。従って、第1メタル11の上面の高さが均一になることにより、それに対する確実なプロービングやワイヤボンディングが可能になり、半導体装置の信頼性向上にさらに寄与できる。

[0043] なお、上記実施の形態ではプローブ2としてカンチレバータイプのものを使用した、ボンディングパッド1に対して進入方向を持つものであれば他の形状のプローブであっても同様の効果を得ることができる。また、進入方向を持たない垂直プローブに対しても、従来の半導体装置と同様の強度が得られる。またプローブに限らず、例えばワイヤボンディングで使用するボンディングツールをボンディングパッド1に当接させる場合にも、同様の効果が得られることは明らかである。また、図2および図3では、半導体装置として、最上層配線層、第1および第2下層配線の3層の配線層を有する構造を示したが、本実施の形態では、必ずしも第2下層配線層は必要ではないので、2層以上の配線層を有する半導体装置に対して適用可能である。

[0044] また実験では、第2メタル12の間隔Dを狭くした場合に(例えば $D_0 = 0.36 \mu\text{m}$ )特にクラックの発生が抑制され、高い強度が得られた。上述したように、ビアホールは上

部が底部よりも広くなる傾向にあるので、間隔Dを狭くすると図10に示すように、ライン状の第2メタル12同士が、第1層間絶縁膜22内でその上部が互いに接続して形成されるケースもある。そのような場合も、上と同様に高い強度が得られることが確認された。また、上面が互いに繋がった場合、ボンディングパッド1の強度の方向依存性は、さらに小さくなる。

[0045] さらに実験では、第1および第2下層配線層配線の材料(第3メタル13および配線14の材料)を全てCuとした場合、他の材料を用いた場合に比べて特に良好な結果が得られた。また、最上層配線層の材料(第1メタル11の材料)にCuを用いても同様の結果が得られるが、第1メタル11は上面が露出し、さらに表面にワイヤがボンディングされるため、比較的腐食に強く且つボンディングを容易に行なえるAlの合金を用いることが望ましい。

[0046] <実施の形態2>

図11および図12は、実施の形態2に係る半導体装置のボンディングパッドの断面図である。なお、その上面図は図1と同様であるので省略するが、図11および図12は、それぞれ図1のA-A線およびB-B線に沿った当該ボンディングパッドの断面に相当している。そして図13は、図11に示す領域Cの拡大図である。これらの図において、図2および図3に示したものと同様の機能を有する要素には同一符号を付してある。当該半導体装置は、第2メタル12の下に第3メタル13が形成されないことを除いて、実施の形態1の半導体装置と同様の構造であるので、ここでは各要素の説明は省略する。

[0047] 実施の形態2の半導体装置に対しては、応力シミュレーションを行なった。当該シミュレーションでは、第1層間絶縁膜22および第2層間絶縁膜23にかかる応力を算出し、実施の形態1における実験およびシミュレーション結果と相対比較して、クラック発生の有無を求めた。ボンディングパッド1に当接させるプローブ2はカンチレバークローブとし、その進入方向を第2メタル12の長手方向に平面視で垂直にした。その結果も図6に示す。同図の如く、実施の形態2のボンディングパッド1では、実施の形態1よりもさらにクラックの発生を抑制できる。

[0048] また、本実施の形態においても、半導体チップ上にボンディングパッド1を第2メタ



ル12の長手方向に並べて配設すれば、実施の形態1で図7ー図9を用いて説明したように、チップの外側から進入してくるプローブ2を、その進入方向をボンディングパッド1の第2メタル12の長手方向に平面視で垂直にして当接させやすくなる。

[0049] <実施の形態3>

上記のように、実施の形態2によれば、実施の形態1よりもクラックの発生を抑制することが可能である。しかし、実施の形態2の形成工程には次のような問題点がある。図14はその問題点を説明するための図であり、第2メタル12を形成するためのビアホール12aの形成工程を示している。同図の左側はボンディングパッド1が形成されるパッド形成領域を示しており、右側は第1下層配線層の本来の配線113が形成される通常配線領域を示している。

[0050] 実施の形態1では、第1下層配線層を用いて(配線113の形成と同一の形成工程で)パッド形成領域に第3メタル13を形成し、その後第3メタル13上に第2メタル12を形成するので、第2メタル12を形成するためのビアホール形成工程においては第3メタル13がエッチングストップとして機能させることができる。それに対し、実施の形態2ではその第3メタル13を形成しないので、図14のように第2メタル12を形成するためのビアホール12aにオーバーエッチが生じやすい。

[0051] 一方、通常配線領域では配線113がエッチングストップとして機能するので、ビアホール112aにはオーバーエッチは生じない。つまり、パッド形成領域における第2メタル12のためのビアホール12aが、通常配線領域のビアホール112aよりも深く形成されやすくなる。その結果、第2メタル12の上面にディッシングが生じたり、最悪の場合、第2メタル12が第2下層配線層の本来の配線14にまで到達して、ボンディングパッド1と配線14との間の絶縁が保たれなくなってしまう。

[0052] 逆に、オーバーエッチングを避けるためにエッチング量を少な目にとすると、本来のビアのためのビアホール112aが配線113に十分に達せず、接続不良が発生する危険性があるので望ましくない。その対策としては、ビアホール12aのサイズをビアホール112aに対して小さく(細く)するなどして、ビアホール12aのエッチング量がビアホール112aのそれに対して小さくなるようにするといった方法がある。しかしながら、この方法では製造方式ごとに適切なビアホール12aのサイズを調整することが必要とな

る。

[0053] 図15および図16は、実施の形態3に係る半導体装置のボンディングパッドの断面図である。その上面図は図1と同様であるので省略するが、図15および図16は、それぞれ図1のA-A線およびB-B線に沿った当該ボンディングパッドの断面に相当している。これらの図において、図2および図3に示したものと同様の機能を有する要素には同一符号を付してある。本実施の形態においては、実施の形態2と同様に第2メタル12の下には第3メタル13を設けない。但し、第2メタル12の下には、ビアホール12a形成のエッチングの際のエッチングストップ15が設けられる。それ以外の構成は、実施の形態2の半導体装置と同様の構造である。

[0054] 図17は、実施の形態3に係る半導体装置のボンディングパッドの拡大断面図であり、同図の左側はパッド形成領域を示しており図15に示す領域Cに相当し、右側は第1下層配線層の本来の配線113が形成される通常配線領域を示している。エッチングストップ15は、配線113の表面に設けられるバリアメタル115を用いて形成されており、図17に示すように配線113の上面(バリアメタル115)と同じ高さに設けられる。エッチングストップ15およびバリアメタル115の材料の例としては、TiやTiN、あるいはそれらの多層構造などが挙げられる。

[0055] 図18～図22は、実施の形態3に係る半導体装置の製造工程を示す図である。以下、これらの図に基づいて、実施の形態3に係る半導体装置の製造工程を説明する。まず、従来の半導体装置の製造方法と同様の工程で、半導体基板26上にフィールド酸化膜25、第3層間絶縁膜24、第2層間絶縁膜23を形成した後、第1下層配線層の配線材213を堆積する(図18)。そして、配線材213を所定の配線パターンにパターニングして通常配線領域に本来の配線113を形成し、その上に第1層間絶縁膜22を堆積する(図19)。

[0056] そして例えばCMP法により、配線113の上面を一旦露出させる。このとき、露出した配線113の上面と第1層間絶縁膜22の上との高さが同じになるように平坦化する。次いで、バリアメタル材を堆積しパターニングすることにより、配線113の上面と、この後の工程で第2メタル12を形成する領域とに、バリアメタル115を選択的に形成する(図20)。

- [0057] その後再び、第1層間絶縁膜22を堆積する(図21)。それによって、パッド領域の第1層間絶縁膜22内における第2メタル12が形成される部分には、配線113上面と同じ高さ、エッチングストッパ15が形成される。そして、フォトリソグラフィ技術を用いた選択的なエッチングにより、第2メタル12のためのビアホール12aおよび本来のビア112のためのビアホール112aを、第1層間絶縁膜22に形成する(図22)。このとき、ビアホール12aのエッチングはエッチングストッパ15により停止されるので、当該第2メタル12のビアホール12aにオーバーエッチは生じない。また、ビアホール112aのエッチングは配線113上面のバリアメタル115により停止される。このように、第2メタル12のためのビアホール12aと、本来のビア112のためのビアホール112aとを容易に同じ深さに形成することが可能である。
- [0058] 以上のように、本実施の形態によれば、ビアホール12aのオーバーエッチに起因する、第2メタル12上面のディッシングの問題やボンディングパッド1と配線14との短絡の問題などを回避できる。また本実施の形態の構造は、実施の形態2と同様であるので、強度の高い半導体装置の構造を形成することができる。
- [0059] なお、以上の説明では、エッチングストッパ15を個々の第2メタル12の下に局所的に形成した例を示した。即ち上の例では、エッチングストッパ15は第2メタル12と同様のライン状であった。しかし、エッチングストッパ15は、ボンディングパッド1の下の領域全体に一体的に形成してもよい。
- [0060] <実施の形態4>
- ボンディングパッドの下方にクラックが生じ、それが配線にまで到達すると、当該配線のメタルマイグレーション耐性が劣化してしまう。また、ボンディングパッドの下方に配線を通すことによって、ボンディングパッドと当該配線との間の層間絶縁膜にクラックが発生しやすくなり、強度が低下する傾向がある。従って、クラックの発生を防止するという観点からは、ボンディングパッドの下方に不用意に配線を通さないことが望ましい。しかし、半導体装置の高集積化のためには、ボンディングパッドの下の領域も有効利用する必要がある、ボンディングパッドの下方に配線を通すことが余儀なくされている。そこで本実施の形態では、ボンディングパッドの下方に、配線を通した場合でも、強度の劣化を抑制することが可能な半導体装置構造を提案する。

- [0061] 本発明者は実験および応力シミュレーションによって、ボンディングパッドの下方に配線を通す場合に、当該配線の上面に複数のメタルを立設させることで、ボンディングパッドと当該配線との間の層間絶縁膜におけるクラック発生の抑制されることを見出した。以下にその装置構成の具体例を示す。
- [0062] 図23～図25は、実施の形態4に係る半導体装置のボンディングパッドの構造を示す図であり、図23はボンディングパッドの上面図、図24および図25はそれぞれ図23のA-A線およびB-B線に沿った当該ボンディングパッドの断面図である。これらの図において、図2および図3に示したものと同様の機能を有する要素には同一符号を付してある。この例では、ボンディングパッド1は第1メタル11のみから成る構造である。そしてボンディングパッド1の下方には、第1層間絶縁膜22および第2層間絶縁膜23を介して第2下層配線層の本来の配線14が形成される。本実施の形態では、ボンディングパッド1の下方の領域における配線14の上面に、複数のライン状の第4メタル16を設ける。
- [0063] 第4メタル16は、第2層間絶縁膜23上に形成される第1下層配線層と第2下層配線層との間を接続するためのビアを用いて形成される。第4メタル16は、複数の分割されたライン形状であるので、単一の大口径のビアを形成する場合と異なり上面にディッシングが生じにくく、形成が容易である。第4メタル16の材料は一般的なビア材料でよく、例えばタングステン(W)や銅およびその合金などが挙げられる。
- [0064] 上記実験およびシミュレーション結果もまた図6に示している。当該実験およびシミュレーションでは、実施の形態1との比較を容易に行なえるように、ボンディングパッド1として実施の形態1の構造を適用した。以上の説明では、説明の簡単のため第2下層配線は第1下層配線の1層下の配線層として説明しているが、実施の形態4を実施の形態1に適用する場合、第2下層配線が第1下層配線の1層下では第3メタル13と本来の配線14とが第4メタル16を介して電氣的に接続してしまう。よってその場合は、第2下層配線は第1下層配線の2層以上下層の配線層である必要がある。あるいは、第3メタル13と第4メタル16との間が絶縁されるよう適宜絶縁膜を形成するなどしてもよい。
- [0065] 図6に示すように、実施の形態4の半導体装置においては、実施の形態1よりもクラ

ックの発生を抑制でき、良好な結果が得られた。ボンディングパッド1に印加される応力が、複数個に分割された第4メタル16に吸収されるためと考えられる。つまり、ボンディングパッド1の下方の配線14の上面に複数個の第4メタル16を設けることにより、ボンディングパッド1の下の層間絶縁膜にクラックが発生することを抑制できる。従って、半導体装置の高集積化を図る目的でボンディングパッド1の下方に配線14を配設する場合にも、それによる強度の劣化を抑えることができる。

[0066] また本実施の形態は、実施の形態1の他にも実施の形態2や実施の形態3のボンディングパッド1に対しても適用可能である。例えば、実施の形態3に適用した例を図26に示す。この図においては、第2メタル12のラインのピッチと、第4メタル16のラインのピッチとを異ならしめているが、両者は同じピッチであってもよい。また同図では、第2メタル12の長手方向と第4メタル16の長手方向とを同じ方向にしているが、互いに異なる向きであってもよい。但し、第2メタル12の長手方向に関しては、実施の形態1で図7ー図9を用いて説明したように、第1メタル11に当接するプローブの進入方向に平面視で垂直になるように配設することが望ましい。

[0067] なお、以上の説明では、第4メタル16の形状をライン状としたが、それに限定されるものではない。例えば第4メタル16として、本来のビアと同様の形状の小口径のメタルを複数個配設するようにしても同様の効果が得られる。

[0068] <実施の形態5>

実施の形態4の実験および応力シミュレーションによって、ボンディングパッドの下方に配線を通す場合でも、当該配線上面に複数個のメタルを設けることで、クラックの発生が抑制されることが分かった。実施の形態5ではその結果に着目し、今度はボンディングパッドの下方に通す配線自体を複数個に分割することで、半導体装置の更なる強度向上を図る。

[0069] 図27および図28は、実施の形態5に係る半導体装置のボンディングパッドの構造を示す図であり、図27はボンディングパッドの上面図、図28は図27のA-A線に沿った断面図である。図27のB-B線に沿った断面図は、図3と同様であるので省略する。図27および図28において、図2および図3と同様の機能を有する要素には同一符号を付してある。図27から分かるように、ボンディングパッド1としては実施の形態1の

ものを適用している。実施の形態1で示した構造と異なるのは、ボンディングパッド1の下を通る配線14が、ライン状に分割されている点である。

[0070] 本発明者による実験およびシミュレーションの結果、図27および図28の半導体装置においては、ボンディングパッド1で発生した応力が、ライン状の配線14に吸収され、実施の形態4と同様にクラックの発生が抑制された。つまり、ボンディングパッド1の下方の配線14を複数のライン状に分割することにより、当該配線14を配設することによる強度の劣化を抑制できることが分かった。従って、半導体装置の強度劣化を抑制しつつ、高集積化を図ることができる。

[0071] ここで、上述したように、クラックの発生を防止するという視点からはボンディングパッド1の下方に配線14をできるだけ通さないことが望ましい。よって、ボンディングパッド1の下方における配線14のライン幅は狭い方が強度は高くなる。具体的には、ボンディングパッド1下方に占める配線14の割合が60%以下であるように、配線14のライン幅および間隔を決定すると効果的である。

[0072] また本実施の形態は、実施の形態1の他にも実施の形態2〜4の半導体装置に対しても適用可能である。例えば、実施の形態4に適用した例を図29に示す。この場合、各第4メタル16の下に、分割された配線14のそれぞれが位置するようにするとよい。それにより、各第4メタル16を形成するビアホール形成の際に、配線14をエッチングストップとして利用できるので、第4メタル16の加工精度が向上する。

[0073] 本発明において、ボンディングパッド1の下を通る配線14の用途は特に問わないが、例えば各ボンディングパッド1が接続する回路の電源(Vcc)あるいはグランド(GND)配線として使用すれば、半導体チップ面積の増大を最大限に抑制することができる。例えば、実施の形態1で図8に示したように、ボンディングパッド1を半導体チップ3の4つの辺それぞれに沿設させる場合は、電源あるいはグランド配線としての配線14を、図30のようにフレーム状にして、各ボンディングパッド1の下方を通すとよい。また、図9に示したように、ボンディングパッド1を半導体チップ3上に2列並べて配置する場合は、図31のように電源あるいはグランド配線としての配線14を、ボンディングパッド1の列に対応するライン状にして、当該ボンディングパッド1の下方を通すとよい。

[0074] 図30および図31の例では、結果的に配線14のラインの向きはボンディングパッド1の配列方向に一致しているが、本発明においては配線14のラインの向きはいずれの方向でもよい。また、配線14は電源あるいはグランド配線に限らず、他の信号線として用いてもよい。

[0075] <実施の形態6>

先の述べたように、半導体装置の高集積化を図るためには、ボンディングパッドの下の領域も有効利用する必要がある。そこで実施の形態6では、本発明に係るボンディングパッドの下方の構造の具体的なレイアウトを提案する。

[0076] 図32は、実施の形態6に係る半導体装置における入出力部の回路図である。実施の形態6に係る半導体装置は、内部回路30とボンディングパッド1との間に、信号の入出力部として、出力バッファ31、保護回路32および入力バッファ33を備えている。即ち、内部回路30は、出力バッファ31の入力側および内部回路30の出力側に接続する回路である。当該内部回路30には、出力バッファ31に信号を出力すると共に入力バッファ33からの信号が入力される回路論理回路や、電源電圧を当該論理回路用のレベルに変換するレベルシフタなどが含まれる。

[0077] 出力バッファ31は、内部回路30からの信号をボンディングパッド1に出力するものであり、PMOSTランジスタ31pおよびNMOSTランジスタ31nで構成されるインバータ回路である。入力バッファ33は、ボンディングパッド1に印加された信号を内部回路30へ入力するものであり、同じくPMOSTランジスタ33pおよびNMOSTランジスタ33nで構成されるインバータ回路である。

[0078] 保護回路32は、ボンディングパッド1に加わる静電放電(ESD:Electrostatic Discharge)から半導体装置を保護するためのものである。保護回路32は、ダイオード接続した複数個のPMOSTランジスタ32pおよびNMOSTランジスタ32nにより構成されている。図32の如く、PMOSTランジスタ32pは、出力バッファ31のPMOSTランジスタ31pおよび入力バッファ33のPMOSTランジスタ33pに並列接続し、一方、NMOSTランジスタ32nは、出力バッファ31のNMOSTランジスタ31nおよび入力バッファ33のNMOSTランジスタ33nに並列接続する。ESDによってボンディングパッド1に電源よりも高い電圧やグラウンドよりも低い電圧が加わった場合、この保護回路3

2に電流が流れ、それにより出力バッファ31や入力バッファ33に高電圧がかかるのが防止される。保護回路32のPMOSトランジスタ32pおよびNMOSトランジスタ32nは、瞬時に大電流を流す必要があるため、サイズの大きいものが用いられる。

[0079] 図32においては、説明の簡単のためボンディングパッド1を一個のみ示しているが、本実施の形態においても半導体装置は、例えば図30や図31のようにレイアウトされた複数のボンディングパッド1を備えている。出力バッファ31、保護回路32および入力バッファ33のそれぞれは、一個のボンディングパッド1ごとに一個ずつ設けられる。

[0080] 図33～図45は、実施の形態6に係る半導体装置の入出力部の構成を示す図である。そのうち図33～図43は当該入出力部の配線およびビアのレイアウト図であり、図44および図45は当該入出力部の断面図である。以下、これらの図を用いて、実施の形態6に係る半導体装置の構造を説明する。

[0081] ここで、図33～図43のレイアウト図と図44および図45の断面図との対応を説明する。図44および図45は、図33～図43のレイアウト図に示すA-A線およびB-B線に沿った断面にそれぞれ対応している。そして、図33は、図44および図45に示す半導体基板90に形成される活性領域および半導体基板90上に形成されるポリシリコン電極層のレイアウトを示している。同様に、図34は最下層の層間絶縁膜91内の第1ビア層のレイアウト、図35は層間絶縁膜91上の第1メタル配線層のレイアウト、図36は第1メタル配線層を覆う層間絶縁膜92内の第2ビア層のレイアウト、図37は層間絶縁膜92上の第2メタル配線層のレイアウト、図38は第2メタル配線層を覆う層間絶縁膜93内の第3ビア層のレイアウト、図39は層間絶縁膜93上の第3メタル配線層のレイアウト、図40は第3メタル配線層を覆う層間絶縁膜94内に形成される第4ビア層のレイアウト、図41は層間絶縁膜94上の第4メタル配線層のレイアウト、図42は第4メタル配線層を覆う層間絶縁膜95内の第5ビア層のレイアウト、図43は層間絶縁膜95上の第5メタル配線層およびそれを覆うパッシベーション膜96の開口部83のレイアウトをそれぞれ示している。なお、各レイアウト図における左側の部分は、内部回路30の形成領域であるが、簡単のためその部分の具体的なレイアウトの図示は省略している。



- [0082] 各メタル配線層の材料は一般的な配線材料でよく、例としてはアルミニウムや銅およびそれらの合金(例えばAl-Si-Cu、Al-Cu等)などが挙げられる。各ビア層もまた一般的なビア材料でよく、例としてはタングステンや銅およびその合金などが挙げられる。
- [0083] 説明の便宜を図るため、図33〜図45の各図における配線およびビアには、その機能で区別したハッチングを施している。具体的には、電源ノード、グラウンド(基準電位)ノード、内部回路30の論理回路の出力ノード、出力バッファ31の出力ノード、保護回路32の出力ノードの5つに区別している。また図33〜図45において、同一の要素には一貫して同一符号を付してある。
- [0084] 図32に示した出力バッファ31、保護回路32、入力バッファ33を構成する各トランジスタ31p〜33p, 31n〜33nは、図33に示すように、半導体基板90の上部に形成された分離絶縁膜40により規定される活性領域内にそれぞれ形成される。
- [0085] 出力バッファ31のPMOSTランジスタ31pと保護回路32のPMOSTランジスタ32pとは互いに並列に接続するので、図33の如く同じ活性領域に形成される。保護回路32のPMOSTランジスタ32pは、サイズが大きくなるように形成面積を大きくする必要がある。またPMOSTランジスタは、NMOSTランジスタよりもキャリア移動度が低いいためサイズを大きくする必要がある。その結果、図33の如くPMOSTランジスタ31p, 32pが形成される活性領域は、NMOSTランジスタ31n, 32nが形成される活性領域よりも広くなり、その上には複数個のトランジスタが規則正しく並ぶように形成される。
- [0086] 一方、出力バッファ31のNMOSTランジスタ31nと保護回路32のNMOSTランジスタ32nも、互いに並列に接続するので同じ活性領域に形成される。通常、NMOSTランジスタ31n, 32nの形成面積は、図33のようにPMOSTランジスタ31p, 32pの形成領域よりも小さい面積になる。NMOSTランジスタ31n, 32nが形成される活性領域上もまた、複数個のトランジスタが規則正しく並ぶ構造になる。
- [0087] NMOSTランジスタ31nのゲート電極51は、第1ビア層(図34)のビア51cを介して第1メタル配線層(図35)の配線59に接続する。またPMOSTランジスタ31pのゲート電極53は、第1ビア層のビア53cを介して第1メタル配線層の配線55に接続する。つまり、配線55, 59は、出力バッファ31の入力ラインであり、内部回路30内の論理回

路(不図示)に接続される。

- [0088] PMOSTランジスタ31p, 32pのソース領域47およびPMOSTランジスタ32pのゲート電極54は、それぞれ第1ビア層のビア47cおよびビア54cを介して第1メタル配線層の配線62に接続する。当該配線62は、第2ビア層(図36)のビア62cを介して第2メタル配線層(図37)の配線67に接続する。本実施の形態では、配線67は電源ラインであり、例えば図30のようにチップ外周部にフレーム状に配設されたものなどである。また、電源の大容量化に寄与できるよう、当該配線67に加えて第3メタル配線層(図39)の配線74も電源ラインとして使用している(両者は第3ビア層(図38)のビア67cを介して互いに接続している)。図37の如く、当該配線67, 74は、複数のライン状に分割されている。
- [0089] NMOSTランジスタ31n, 32nのソース領域45およびNMOSTランジスタ32nのゲート電極52は、それぞれ第1ビア層のビア45cおよびビア52cを介して第1メタル配線層の配線60に接続する。当該配線60は、第2ビア層のビア60c、第2メタル配線層の配線65、第3ビア層のビア65cを介して配線72に接続する。本実施の形態では、配線72はグラウンドラインであり、例えば図30のようにチップ外周部にフレーム状に配設されたものなどである。またこの例では、配線72に加えて第4メタル配線層(図41)の配線79もグラウンドラインとして使用している(両者は第4ビア層(図40)のビア72cを介して互いに接続している)。
- [0090] 一方、入力バッファ33のPMOSTランジスタ33pのソース領域41は、第1ビア層のビア41c、第1メタル配線層の配線56、第2ビア層のビア56c、第2メタル配線層の配線63、第3ビア層のビア63cを介して第3メタル配線層の配線70に接続する。本実施の形態では、配線70は電源ラインであり、例えば図30のようにチップ外周部にフレーム状に配設されたものなどである。またこの例では、当該配線70に加えて第4メタル配線層の配線77も電源ラインとして使用している(両者は第4ビア層のビア70cを介して互いに接続している)。
- [0091] 入力バッファ33のNMOSTランジスタ33nのソース領域43は、第1ビア層のビア43c、第1メタル配線層の配線57、第2ビア層のビア57c、第2メタル配線層の配線64、第3ビア層のビア64cを介して第3メタル配線層の配線71に接続する。本実施の形

態では、配線71はグラウンドラインであり、例えば図30のようにチップ外周部にフレーム状に配設されたものなどである。またこの例では、当該配線71に加えて第4メタル配線層の配線78もグラウンドラインとして使用している(両者は第4ビア層のビア71cを介して互いに接続している)。

[0092] なお、第3メタル配線層の配線68および第4メタル配線層の配線75(図39〜図41参照)は、内部回路30用の電源ラインである(両者は第4ビア層のビア68cを介して互いに接続している)。また、第3メタル配線層の配線69および第4メタル配線層の配線76は、同じく内部回路30用のグラウンドラインである(両者は第4ビア層のビア69cを介して互いに接続している)。

[0093] また、NMOSTランジスタ31n、32nのドレイン領域46、PMOSTランジスタ31p、32pのドレイン領域48および入力バッファ33のゲート電極50は、それぞれ第1ビア層のビア46c、ビア48cおよびビア50cを介して、全て第1メタル配線層の配線61(共通の配線)に接続する。当該配線61は、第2ビア層のビア61c、第2メタル配線層の配線66、第3ビア層のビア66c、第3メタル配線層の配線73、第4ビア層のビア73c、第4メタル配線層の配線80、第5ビア層(図42)のビア80cを介して、第5メタル配線層(図43)の配線82に接続する。当該配線82は、ボンディングパッド1として機能するものである。図44および図45に示すように、半導体装置の上面はパッシベーション膜96で覆われるが、ボンディングパッド1である配線82の上方には、その上面が露出する開口部83が設けられる。

[0094] 当該ボンディングパッド1は、実施の形態1と同様の構造(図1〜図3参照)を有している。即ち、ボンディングパッド1において、第5メタル配線層の配線82の下には、図42の如く第5メタル配線層に形成された複数のライン状のビア81cが接続し、さらに当該ビア81cの下に、図41の如く第4メタル配線層の配線81が接続する。つまり、ボンディングパッド1は、実施の形態1と同様に、最上層配線層である第5メタル配線層を用いて形成された配線81(第1メタル)と、当該配線81の下に接続する複数のライン状のビア81c(第2メタル)と、第5メタル配線層の1層下の第4メタル配線層(第1下層配線層)を用いて形成された配線14を備えている。

[0095] 従って本実施の形態においては、第4メタル配線層の配線81の幅Wおよび間隔D

が、

$$W \leq D \leq 2 \times W \cdots (1)$$

の関係を満たすようにすることが望ましい。そのようにすると、実施の形態1で説明したように、ボンディングパッド1への応力の印加方向が配線81の長手方向に対して平面視で垂直に近くなるようにすれば、層間絶縁膜94, 95にクラックが生じにくくなる。さらにその場合は、複数のボンディングパッド1を、ビア81cの長手方向に並べて配設することが望ましい。それにより、チップの外側から進入してくるプローブやボンディングツール等を、その進入方向がビア81cの長手方向に平面視で垂直になるようにして当接させやすくなる。

[0096] また、ボンディングパッド1の下を通る電源ラインである第3メタル配線層の配線74は、複数のライン状に分割されている。即ち、この配線74は、実施の形態5で示した「ライン状に分割された第2下層配線層の配線」に対応している。つまり、当該配線74はボンディングパッド1で発生した応力を吸収することが可能である。よって、ボンディングパッド1の下に配線74を通すことによる半導体装置の強度劣化を抑制しつつ、高集積化を図ることができる。

[0097] さらに、ボンディングパッド1が出力バッファ31の上方に配設されているので、当該ボンディングパッド1と出力バッファ31とを、図45のように短い配線経路で接続することができる。よって、ボンディングパッド1と出力バッファ31との間の配線抵抗や配線容量を最小限に抑えることができる。それにより、出力バッファ31の駆動能力の損失が抑制され、電気的特性に優れた入出力回路が得られる。

[0098] 上で示した図33ー図45から分かるように、本実施の形態のボンディングパッド1は、出力バッファ31および保護回路32のPMOSTランジスタ31p, 32pの上方に形成されており、NMOSTランジスタ31n, 32nの上方には形成されない。また、入力バッファ33および内部回路30の上方にも形成されない。

[0099] 前述したように、PMOSTランジスタ31p, 32pが形成される活性領域の面積は比較的広く、且つ、当該領域上は複数個のランジスタが規則正しく並ぶ構造になる。そのため、外部から加わった応力はPMOSTランジスタ31p, 32pの形成領域全体に均一に分散され、特定の個所へ応力が集中しにくい。よって、PMOSTランジスタ31

p, 32pは応力に対する耐性が高いと言える。通常、ボンディングパッド1の下方に能動素子を配設した場合、ボンディングパッド1で発生した応力による当該素子の破損が懸念される。しかし本実施の形態では、ボンディングパッド1の下方に、応力耐性に優れた構造を有するPMOSTランジスタ31p, 32pを配設されるので、半導体装置の強度劣化を最小限に抑制しつつ、高集積化を図ることができる。

[0100] さらに本実施の形態では、図33ー図45から分かるように、PMOSTランジスタ31p, 32pのドレイン領域48、NMOSTランジスタ31n, 32nのドレイン領域46およびボンディングパッド1は、共通の配線61に電氣的に接続している。当該配線61において、ボンディングパッド1への接続部(ビア61c)は、ドレイン領域48への接続部(ビア48c)とドレイン領域46への接続部(ビア46c)との間にある。そのようにレイアウトすることにより、例えばボンディングパッド1にESDが入った場合に、PMOSTランジスタ31p, 32pあるいはNMOSTランジスタ31n, 32nの片方に偏って高電圧が印加されることが防止されて、保護回路32に電流が流れる。よって、半導体装置のESD耐性はさらに高くなる。

[0101] ボンディングパッド1の上面は、パッシベーション膜96の開口部83に露出しており、プロービングやボンディングの際には、その露出した部分に物理的なアクセスが行われる。本実施の形態では、ボンディングパッド1と出力バッファ31および入力バッファ33が接続する配線61とを、電氣的に接続させるための接続構造を成すビア80c、配線80、ビア73c、ビア66c、配線66並びにビア61cは、図45の如く、開口部83からずれた位置に配設されている。つまり、当該接続構造は、開口部83に露出したボンディングパッド1の中央部の下ではなく、パッシベーション膜96で覆われたエッジ部の下に接続している。従って、プロービングやボンディングの際にボンディングパッド1に加わる応力が当該接続構造に直接的に加わることが防止され、ボンディングパッド1と出力バッファ31および入力バッファ33との間の高い接続信頼性が得られる。

[0102] 本実施の形態では、ボンディングパッド1は、PMOSTランジスタ31p, 32pの上方に形成され、NMOSTランジスタ31n, 32nの上方には形成されないもので、必然的に、図45の如くPMOSTランジスタ31p, 32pの活性領域とNMOSTランジスタ31n, 32nの活性領域との間の領域上方近傍に、ボンディングパッド1のエッジ部が位置する

ことになる。従って、配線61においてボンディングパッド1への接続部(ビア61c)をドレイン領域48への接続部(ビア48c)とドレイン領域46への接続部(ビア46c)との間に配設し、なお且つ、ボンディングパッド1と配線61間の接続構造(ビア80c、配線80、ビア73c、ビア66c、配線66並びにビア61c)をパッシベーション膜96で覆われたエッジ部の下に配設することが容易にできる。

[0103] なお、以上の説明では、ボンディングパッド1をPMOSTランジスタ31p, 32pの上方に設け、NMOSTランジスタ31n, 32nの上方には設けない構造を示したが、逆に、NMOSTランジスタ31n, 32nの上方に設け、PMOSTランジスタ31p, 32pの上方に設けない構造にしてもよい。即ち、ボンディングパッド1は、PMOSTランジスタ31p, 32pおよびNMOSTランジスタ31n, 32nのいずれか片方の上方に形成されればよい。

[0104] 上述したように、NMOSTランジスタ31n, 32nの活性領域上も複数個のランジスタが規則正しく並ぶ構造であり、外部から加わった応力はNMOSTランジスタ31n, 32nの形成領域全体に均一に分散されるため、応力に対する耐性が高い。よって、ボンディングパッド1の下方に、NMOSTランジスタ31n, 32nが配設された場合も、半導体装置の強度劣化を最小限に抑制することができる。但し、NMOSTランジスタ31n, 32nはPMOSTランジスタ31p, 32pに比べキャリア移動度が高いため、図33のように、形成面積は小さくなる。従って、ボンディングパッド1は、PMOSTランジスタ31p, 32pの上方の形成する方が面積を大きくでき、プロービングおよびボンディングを容易に行うことができるようになるという利点がある。

[0105] また、本実施の形態では、電源ラインである第2メタル配線層の配線67並びに第3メタル配線層の配線74が、図37および図39のように、複数のライン状に分割された例を示したが、例えば、図46に示すように、複数の分割された各配線67同士を部分的に接続してもよい(配線74についても同様である)。その場合、複数の分割されたそれぞれの電源ラインごとに電位がばらつくことが防止され、本発明に係る半導体装置の動作信頼性が向上する。

[0106] なお、本実施の形態の説明においては、半導体装置が5層のメタル配線層を有する構造を示したが、本発明の適用はそれに限定されるものではなく、例えば4層以下

あるいは6層以上のメタル配線層を有する半導体素子にも適用してもよい。

[0107] <実施の形態7>

図47～図59は、実施の形態7に係る半導体装置の入出力部の構造を示す図である。図47～図57は、当該入出力部の配線およびビアのレイアウト図であり、それぞれ実施の形態6の図33～図43に対応している。図58および図59は、当該入出力部の断面図であり、それぞれ実施の形態6の図44および図45に対応している。また図58および図59は、図33～図43のレイアウト図に示すA-A線およびB-B線に沿った断面にそれぞれ対応している。

[0108] 図47～図59においては、図33～図45に示したものと同様の機能を有する要素にはそれと同一符号を付してある。また図47～図59と図33～図45とは、配線およびビアの配置が異なるのみであり、互いの電氣的な接続関係は同様である。即ち、図47～図59に示す構造の等価回路は、図32と同じである。従って、以下では各配線およびビアの接続関係についての詳細な説明は省略し、実施の形態7の特徴的な部分を説明する。

[0109] 先の実施の形態6では、ボンディングパッド1が、出力バッファ31および保護回路32のPMOSTランジスタ31p, 32pおよびNMOSTランジスタ31n, 32nのいずれか片方の上方に形成される構造を示したが、本実施の形態では、図59の如く、ボンディングパッド1を、PMOSTランジスタ31p, 32pおよびNMOSTランジスタ31n, 32nの上方に跨るように形成する。また本実施の形態においても、入力バッファ33および内部回路30の上方にはボンディングパッド1は形成しない。

[0110] 上述したように、PMOSTランジスタ31p, 32p並びにNMOSTランジスタ31n, 32nの活性領域上は、複数個のランジスタが規則正しく並ぶ構造であるので、応力に対する耐性が高い。よって本実施の形態のように、ボンディングパッド1の下方にPMOSTランジスタ31p, 32p並びにNMOSTランジスタ31n, 32nを配設すれば、半導体装置の強度劣化を最小限に抑制しつつ、高集積化を図ることができる。

[0111] また、ボンディングパッド1が出力バッファ31の上方に配設されることにより、ボンディングパッド1と出力バッファ31とを、図59のように短い配線経路で接続することができる。それにより、出力バッファ31の駆動能力の損失が抑制され、電氣的特性に優れ

た入出力回路が得られる。

- [0112] 本実施の形態では、ボンディングパッド1を、PMOSトランジスタ31p, 32pおよびNMOSトランジスタ31n, 32nの上方に跨るように形成するので、実施の形態6よりもボンディングパッド1の面積を大きくすることができる。それにより、当該ボンディングパッド1へのプロービングおよびボンディングが容易になるという効果が得られる。
- [0113] ボンディングパッド1を出力バッファ31および入力バッファ33が接続する配線61に電氣的に接続させるための接続構造(ビア80c、配線80、ビア73c、ビア66c、配線66並びにビア61c)は、図59のようにパッシベーション膜96の開口部83からずれた位置に配設されている。従って、プロービングやボンディングの際にボンディングパッド1に加わる応力が、当該接続構造に直接的に加わることが防止され、ボンディングパッド1と出力バッファ31および入力バッファ33との間の高い接続信頼性が得られる。
- [0114] ボンディングパッド1は、実施の形態1と同様の構造(図1～図3参照)を有しているので、第4メタル配線層の配線81の幅Wおよび間隔Dが、上記の式(1)の関係を満たすようにすることが望ましい。その場合、ボンディングパッド1への応力の印加方向が配線81の長手方向に対して平面視で垂直に近くなるようにすれば、層間絶縁膜94, 95にクラックが生じにくくなる。さらに複数のボンディングパッド1を、ビア81cの長手方向に並べて配設することが望ましい。それにより、チップの外側から進入してくるプローブやボンディングツール等を、その進入方向がビア81cの長手方向に平面視で垂直になるようにして当接させやすくなる。
- [0115] また、実施の形態7では、ボンディングパッド1を大きくした結果として、電源ラインである配線74だけでなく配線72も当該ボンディングパッド1の下を通ることとなる。本実施の形態では、配線74並びに配線72は、図53のようにそれぞれ複数のライン状に分割されている。即ち、配線72, 74は、実施の形態5で示した「ライン状に分割された第2下層配線層の配線」に対応している。つまり、当該配線72, 74はボンディングパッド1で発生した応力を吸収することができる。よって、配線74および配線72を当該ボンディングパッド1の下を通すことによる、半導体装置の強度劣化は抑制されている。

- [0116] <実施の形態8>



図60ー図64は、実施の形態8に係る半導体装置の入出力部の構造を示すレイアウト図であり、それぞれ実施の形態7で示した図53ー図57に対応している。即ち、図60ー図64は、それぞれ半導体装置の入出力部の第3メタル配線層、第4ビア層、第4メタル配線層、第5ビア層、第5メタル配線層のレイアウトを示している。なお、活性領域およびポリシリコン電極層、第1ビア層、第1メタル配線層、第2ビア層、第2メタル配線層および第3ビア層のレイアウトは、実施の形態7の図47ー図52に示したものと同様であるので、ここでの図示は省略する。また図60ー図64においても、実施の形態6で示した図33ー図45に示したものと同様の機能を有する要素には、それと同一の符号を付してある。

[0117] 図60ー図64と図53ー図57とは、配線およびビアのレイアウトが異なるのみであり、互いの電気的な接続関係は同様である。即ち、本実施の形態の入出力部の等価回路も、図32と同じである。従って、以下では各配線およびビアの接続関係についての詳細な説明は省略し、実施の形態8の特徴的な部分を説明する。

[0118] 本実施の形態では、ボンディングパッド1を実施の形態7よりさらに大きくし、出力バッファ31、保護回路32および入力バッファ33の上方並びに内部回路30の一部の上方に跨るように形成する。即ち、図62ー図64のように、ボンディングパッド1を構成する第4メタル配線層の配線81、第5ビア層のビア81c、第5メタル配線層の配線82を、それぞれ出力バッファ31、保護回路32、入力バッファ33並びに内部回路30の一部の上方に延在させる。

[0119] ボンディングパッド1は、実施の形態1と同様の構造(図1ー図3参照)を有しているので、第4メタル配線層の配線81の幅Wおよび間隔Dが、上記の式(1)の関係を満たすようにすることが望ましい。その場合、ボンディングパッド1への応力の印加方向が配線81の長手方向に対して平面視で垂直に近くなるようにすれば、層間絶縁膜94, 95にクラックが生じにくくなる。さらに複数のボンディングパッド1を、ビア81cの長手方向に並べて配設することが望ましい。それにより、チップの外側から進入してくるプローブやボンディングツール等を、その進入方向がビア81cの長手方向に平面視で垂直になるようにして当接させやすくなる。

[0120] また図60ー図62のように、第3メタル配線層の配線68(内部回路30用電源ライン)

、配線69(内部回路30用グラウンドライン)、配線70, 74(電源ライン)、配線71, 72(グラウンドライン)を、ボンディングパッド1の下に通している。本実施の形態では、それらの配線68ー72, 74を、それぞれ複数のライン状に分割し、実施の形態5で示した「ライン状に分割された第2下層配線層の配線」として機能させている。つまり、配線68ー72, 74は、ボンディングパッド1で発生した応力を吸収でき、クラックの発生を抑制することができる。

- [0121] このように本実施の形態によれば、半導体装置の応力に対する耐性を抑制しつつ、ボンディングパッド1の面積を大きくすることができる。ボンディングパッド1の面積が大きくなると、当該ボンディングパッド1へのプロービングおよびボンディングが容易になるという効果が得られる。
- [0122] また、図65に示すように、ボンディングパッド1の上面をプロービングを行うための領域(プロービング領域)と、ワイヤボンディングを行うための領域(ボンディング領域)とに分けて使用することが可能になる。
- [0123] 近年では、半導体モジュールの小型化に寄与するために、ボンディングに使用されるワイヤも細くなる傾向にある。そのため、ボンディングパッドの上面がプロービングによって傷つけられると、ワイヤをボンディングする際に接続不良が生じやすい。本実施の形態のようにボンディングパッド1の面積を大きくし、プロービング領域とボンディング領域とを分けることができれば、プロービング後であってもボンディング領域の上面は無傷であり、ワイヤを確実にボンディングすることができる。
- [0124] ボンディングパッド1の上面に、プロービング領域とボンディング領域とを個別に規定する場合、ボンディング領域の方を半導体チップの外側にすることが望ましい。その理由を図66を用いて説明する。例えば図66(a)のようにワイヤを半導体チップの内側ボンディングすると、ワイヤが半導体チップのエッジに接触しやすくなる。ワイヤを長めにすればその接触は防止できるが、半導体モジュールの小型化には不利である。それに対し、図66(b)のようにワイヤを半導体チップの外側にボンディングすれば、ワイヤを長くすることなく、当該ワイヤと半導体チップのエッジとの接触を防止できる。
- [0125] この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示

であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

## 請求の範囲

- [1] 最上層配線層を用いて形成された第1メタル(11)と、  
前記第1メタル(11)の下に配置され当該第1メタル(11)と接続する複数のライン状の第2メタル(12)とを有するボンディングパッド(1)を複数個備える半導体装置であって、  
前記複数のボンディングパッド(1)は、  
前記ライン状の第2メタル(12)の長手方向に並べて配設されている  
ことを特徴とする半導体装置。
- [2] 請求項1記載の半導体装置であって、  
前記複数の第2メタル(12)の底部における幅Wおよび間隔Dが、  
 $W \leq D \leq 2 \times W$ の関係を満たす  
ことを特徴とする半導体装置。
- [3] 請求項1記載の半導体装置であって、  
前記複数の第2メタル(12)は、  
前記第1メタル(11)の下の絶縁膜(22)に埋め込まれており、当該絶縁膜(22)内でその上部が互いに接続している  
ことを特徴とする半導体装置。
- [4] 請求項1記載の半導体装置であって、  
前記最上層配線層の1層下の第1下層配線層をさらに有し、  
前記ボンディングパッド(1)は、  
前記第2メタル(12)の下に配置され当該第2メタル(12)と接続し、前記第1下層配線層を用いて形成された第3メタル(13)をさらに備える  
ことを特徴とする半導体装置。
- [5] 請求項1記載の半導体装置であって、  
前記最上層配線層の1層下の第1下層配線層をさらに有し、  
前記ボンディングパッド(1)は、  
前記第2メタル(12)の下に配置され、前記第1下層配線層表面のバリアメタルを用いて形成されたエッチングストッパ(15)をさらに備える

ことを特徴とする半導体装置。

- [6] 請求項1記載の半導体装置であって、  
前記ボンディングパッド(1)よりも下層の第2下層配線層と、  
前記ボンディングパッド(1)の下方の領域における前記第2下層配線層による配線(14)上に配置され、当該配線(14)に接続する複数の所定形状の第4メタル(16)とをさらに備える

ことを特徴とする半導体装置。

- [7] 請求項6記載の半導体装置であって、  
前記ボンディングパッド(1)の下方の領域において、前記第2下層配線層による前記配線(14)が、複数のライン状に分割されている

ことを特徴とする半導体装置。

- [8] 請求項1記載の半導体装置であって、  
前記ボンディングパッド(1)よりも下層の第2下層配線層をさらに備え、  
前記ボンディングパッド(1)の下方の領域において、前記第2下層配線層による配線(14)が、複数のライン状に分割されている

ことを特徴とする半導体装置。

- [9] 最上層配線層を用いて形成された第1メタル(11)と、  
前記第1メタル(11)の下に配置され当該第1メタル(11)と接続する複数のライン状の第2メタル(12)とを有するボンディングパッド(1)を備える半導体装置であって、  
前記複数の第2メタル(12)は、  
前記第1メタル(11)の下の絶縁膜(22)に埋め込まれており、当該絶縁膜(22)内でその上部が互いに接続している

ことを特徴とする半導体装置。

- [10] 請求項9記載の半導体装置であって、  
前記複数の第2メタル(12)の底部における幅Wおよび間隔Dが、  
 $W \leq D \leq 2 \times W$ の関係を満たす

ことを特徴とする半導体装置。

- [11] 請求項9記載の半導体装置であって、

前記最上層配線層の1層下の第1下層配線層をさらに有し、  
前記ボンディングパッド(1)は、  
前記第2メタル(12)の下に配置され当該第2メタル(12)と接続し、前記第1下層配線層を用いて形成された第3メタル(13)をさらに備える  
ことを特徴とする半導体装置。

- [12] 請求項9記載の半導体装置であって、  
前記最上層配線層の1層下の第1下層配線層をさらに有し、  
前記ボンディングパッド(1)は、  
前記第2メタル(12)の下に配置され、前記第1下層配線層表面のバリアメタルを用いて形成されたエッチングストoppa(15)をさらに備える  
ことを特徴とする半導体装置。

- [13] 請求項9記載の半導体装置であって、  
前記ボンディングパッド(1)よりも下層の第2下層配線層と、  
前記ボンディングパッド(1)の下方の領域における前記第2下層配線層による配線(14)上に配置され、当該配線(14)に接続する複数の所定形状の第4メタル(16)とをさらに備える  
ことを特徴とする半導体装置。

- [14] 請求項13記載の半導体装置であって、  
前記ボンディングパッド(1)の下方の領域における前記第2下層配線層による前記配線(14)が、複数のライン状に分割されている  
ことを特徴とする半導体装置。

- [15] 請求項9記載の半導体装置であって、  
前記ボンディングパッド(1)よりも下層の第2下層配線層をさらに備え、  
前記ボンディングパッド(1)の下方の領域において、前記第2下層配線層による配線(14)が、複数のライン状に分割されている  
ことを特徴とする半導体装置。

- [16] 最上層配線層を用いて形成された第1メタル(11)と、  
前記第1メタル(11)の下に配置され当該第1メタル(11)と接続する複数のライン状

の第2メタル(12)とを有するボンディングパッド(1)を備える半導体装置であって、  
当該半導体装置は、前記最上層配線層の1層下の第1下層配線層を有し、  
前記ボンディングパッド(1)は、  
前記第2メタル(12)の下に配置され、前記第1下層配線層表面のバリアメタルを用  
いて形成されたエッチングストッパ(15)を備える  
ことを特徴とする半導体装置。

- [17] 請求項16記載の半導体装置であって、  
前記複数の第2メタル(12)の底部における幅Wおよび間隔Dが、  
 $W \leq D \leq 2 \times W$ の関係を満たす  
ことを特徴とする半導体装置。
- [18] 請求項16記載の半導体装置であって、  
前記ボンディングパッド(1)よりも下層の第2下層配線層と、  
前記ボンディングパッド(1)の下方の領域における前記第2下層配線層による配線  
(14)上に配置され、当該配線(14)に接続する複数の所定形状の第4メタル(16)と  
をさらに備える  
ことを特徴とする半導体装置。
- [19] 請求項18記載の半導体装置であって、  
前記ボンディングパッド(1)の下方の領域において、前記第2下層配線層による前  
記配線(14)が、複数のライン状に分割されている  
ことを特徴とする半導体装置。
- [20] 請求項16記載の半導体装置であって、  
前記ボンディングパッド(1)よりも下層の第2下層配線層をさらに備え、  
前記ボンディングパッド(1)の下方の領域において、前記第2下層配線層による配  
線(14)が、複数のライン状に分割されている  
ことを特徴とする半導体装置。
- [21] ボンディングパッド(1)と、  
前記ボンディングパッド(1)の下方を通る配線(14)とを備える半導体装置であって  
、

前記ボンディングパッド(1)の下方の領域における前記配線(14)上に、複数の所定形状のメタル(16)を備えることを特徴とする半導体装置。

- [22] 請求項21記載の半導体装置であって、  
前記ボンディングパッド(1)の下方の領域において、前記配線(14)が複数のライン状に分割されていることを特徴とする半導体装置。

- [23] ボンディングパッド(1)と、  
前記ボンディングパッド(1)へ信号を出力する出力バッファ(31p, 31n)と、  
前記ボンディングパッド(1)に印加された信号が入力される入力バッファ(33p, 33n)と、  
前記出力バッファ(31p, 31n)の入力側および前記入力バッファ(33p, 33n)の出力側に接続する内部回路(30)とを備え、  
前記ボンディングパッド(1)は、前記出力バッファ(31p, 31n)の上方に形成され、前記入力バッファ(33p, 33n)および前記内部回路(30)の上方には形成されていないことを特徴とする半導体装置。

- [24] 請求項23記載の半導体装置であって、  
前記出力バッファ(31p, 31n)は、PMOSTランジスタ(31p)およびNMOSTランジスタ(31n)を含み、  
前記ボンディングパッド(1)は、前記PMOSTランジスタ(31p)および前記NMOSTランジスタ(31n)うち一方のランジスタの上方に形成され、他方のランジスタの上方には形成されていないことを特徴とする半導体装置。

- [25] 請求項24記載の半導体装置であって、  
前記一方のランジスタは、前記PMOSTランジスタ(31p)であり、  
前記他方のランジスタは、前記NMOSTランジスタ(31n)であることを特徴とする半導体装置。



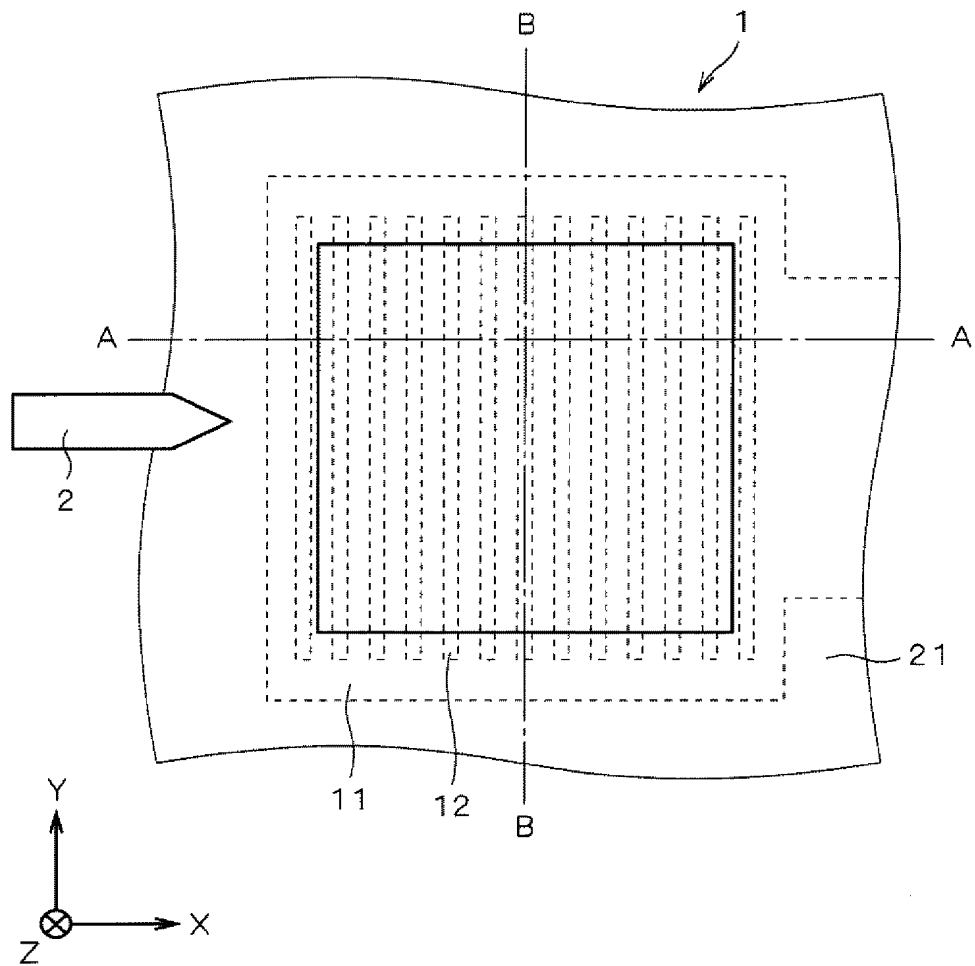
- [26] 請求項24記載の半導体装置であって、  
前記ボンディングパッド(1)、前記PMOSTランジスタ(31p)のドレインおよび前記NMOSTランジスタ(31n)のドレインは、共通の配線(61)に電氣的に接続しており、  
前記共通の配線(61)において、前記ボンディングパッド(1)への接続部(61c)は、前記PMOSTランジスタ(31p)のドレインへの接続部(48c)と前記NMOSTランジスタ(31n)のドレインへの接続部(46c)との間にある  
ことを特徴とする半導体装置。
- [27] 請求項23記載の半導体装置であって、  
前記出力バッファ(31p, 31n)は、PMOSTランジスタ(31p)およびNMOSTランジスタ(31n)を含み、  
前記ボンディングパッド(1)は、前記出力バッファ(31p, 31n)の前記PMOSTランジスタ(31p)および前記NMOSTランジスタ(31n)の上方に跨って形成されている  
ことを特徴とする半導体装置。
- [28] 請求項23記載の半導体装置であって、  
前記ボンディングパッド(1)は、  
最上層配線層を用いて形成された第1メタル(81)と、  
前記第1メタル(81)の下に配置され当該第1メタル(81)と接続する複数のライン状の第2メタル(81c)とを有する  
ことを特徴とする半導体装置。
- [29] 請求項28記載の半導体装置であって、  
前記ボンディングパッド(1)を複数個備え、  
前記複数のボンディングパッド(1)は、  
前記ライン状の第2メタル(81c)の長手方向に並べて配設されている  
ことを特徴とする半導体装置。
- [30] 請求項28記載の半導体装置であって、  
前記複数の第2メタル(81c)の底部における幅Wおよび間隔Dが、  
 $W \leq D \leq 2 \times W$ の関係を満たす  
ことを特徴とする半導体装置。

- [31] 請求項23記載の半導体装置であって、  
前記ボンディングパッド(1)の下方の領域に、複数のライン状に分割された配線(74)が形成されている  
ことを特徴とする半導体装置。
- [32] ボンディングパッド(1)と、  
前記ボンディングパッド(1)へ信号を出力する出力バッファ(31p, 31n)と、  
前記ボンディングパッド(1)に印加された信号が入力される入力バッファ(33p, 33n)と、  
前記出力バッファ(31p, 31n)の入力側および前記入力バッファ(33p, 33n)の出力側に接続する内部回路(30)とを備え、  
前記ボンディングパッド(1)は、前記出力バッファ(31p, 31n)および前記入力バッファ(33p, 33n)の上方並びに前記内部回路(30)の一部の上方に跨って形成されている  
ことを特徴とする半導体装置。
- [33] 請求項32記載の半導体装置であって、  
前記ボンディングパッド(1)は、  
最上層配線層を用いて形成された第1メタル(81)と、  
前記第1メタル(81)の下に配置され当該第1メタル(81)と接続する複数のライン状の第2メタル(81c)とを有する  
ことを特徴とする半導体装置。
- [34] 請求項33記載の半導体装置であって、  
前記ボンディングパッド(1)を複数個備え、  
前記複数のボンディングパッド(1)は、  
前記ライン状の第2メタル(81c)の長手方向に並べて配設されている  
ことを特徴とする半導体装置。
- [35] 請求項33記載の半導体装置であって、  
前記複数の第2メタル(81c)の底部における幅Wおよび間隔Dが、  
 $W \leq D \leq 2 \times W$ の関係を満たす

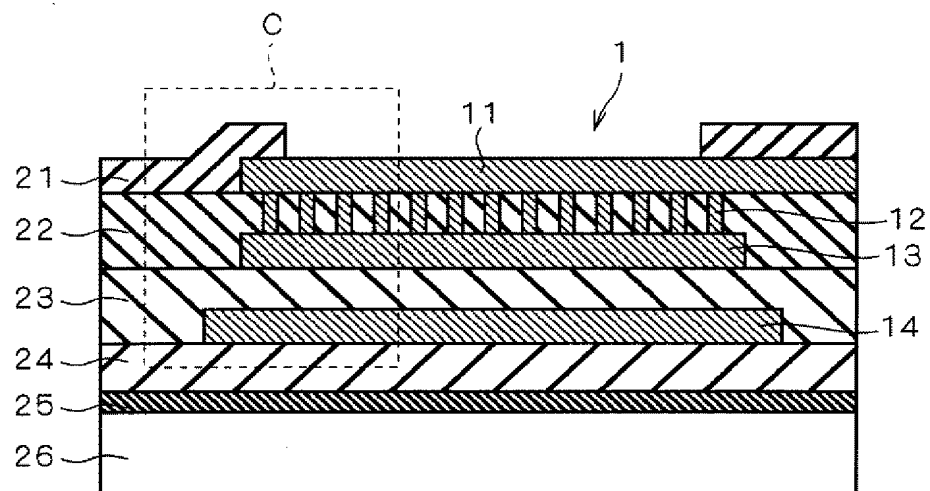
ことを特徴とする半導体装置。

- [36] 請求項32記載の半導体装置であって、  
前記ボンディングパッド(1)の下方の領域に、複数のライン状に分割された配線(68-72, 74)が形成されている  
ことを特徴とする半導体装置。

[図1]

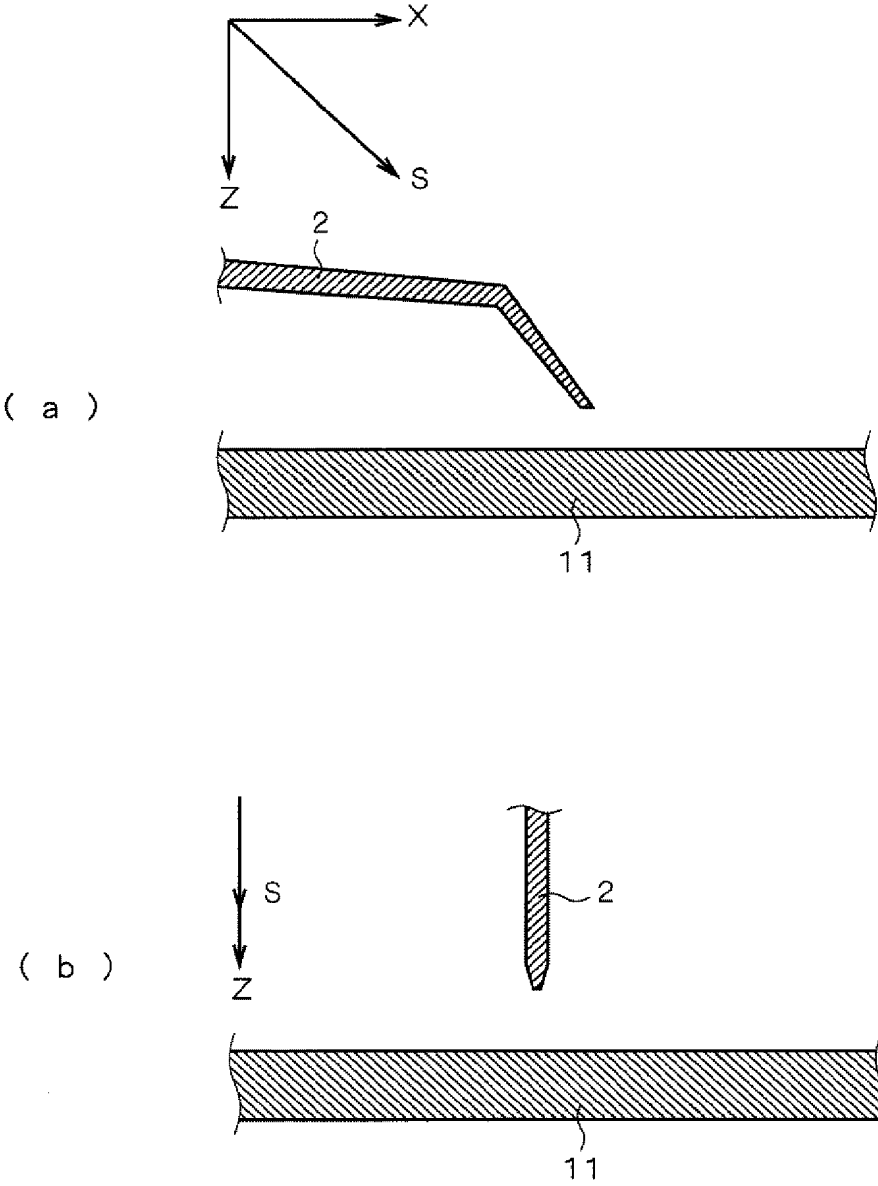


[図2]





[図5]



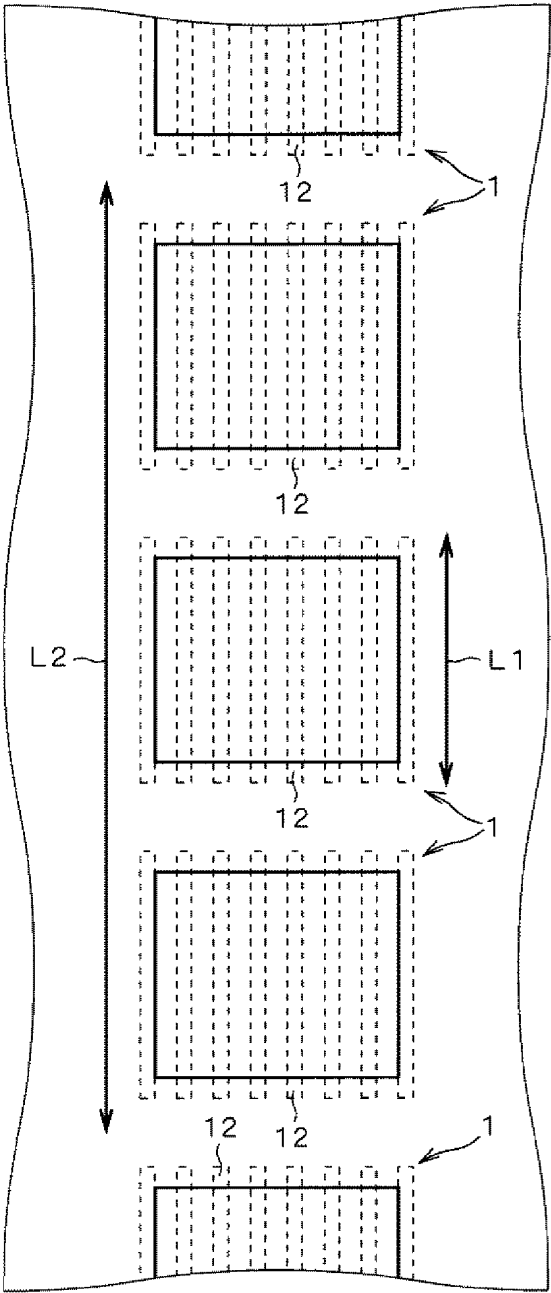
[図6]

		OD量 ( $\mu\text{m}$ )	プローブ回数			
			1回	5回	7回	10回
1	従来構造 (大口径ビア)	50	○	○	○	○
		80	○	○	○	×
		100	○	○	×	×
2	実施の形態 1 (第 2 メタルに垂直に当接)	50	○	○	○	○
		80	○	○	○	×
		100	○	○	×	×
3	実施の形態 1 (第 2 メタルに平行に当接)	50	○	○	○	×
		80	○	○	×	×
		100	○	×	×	×
4	実施の形態 2 (応力シミュレーション)	50	○	○	○	○
		80	○	○	○	×
		100	○	○	○	×
5	実施の形態 4 (実施の形態 1 との組合せ構造)	50	○	○	○	○
		80	○	○	○	○
		100	○	○	○	○

○ : クラック無し

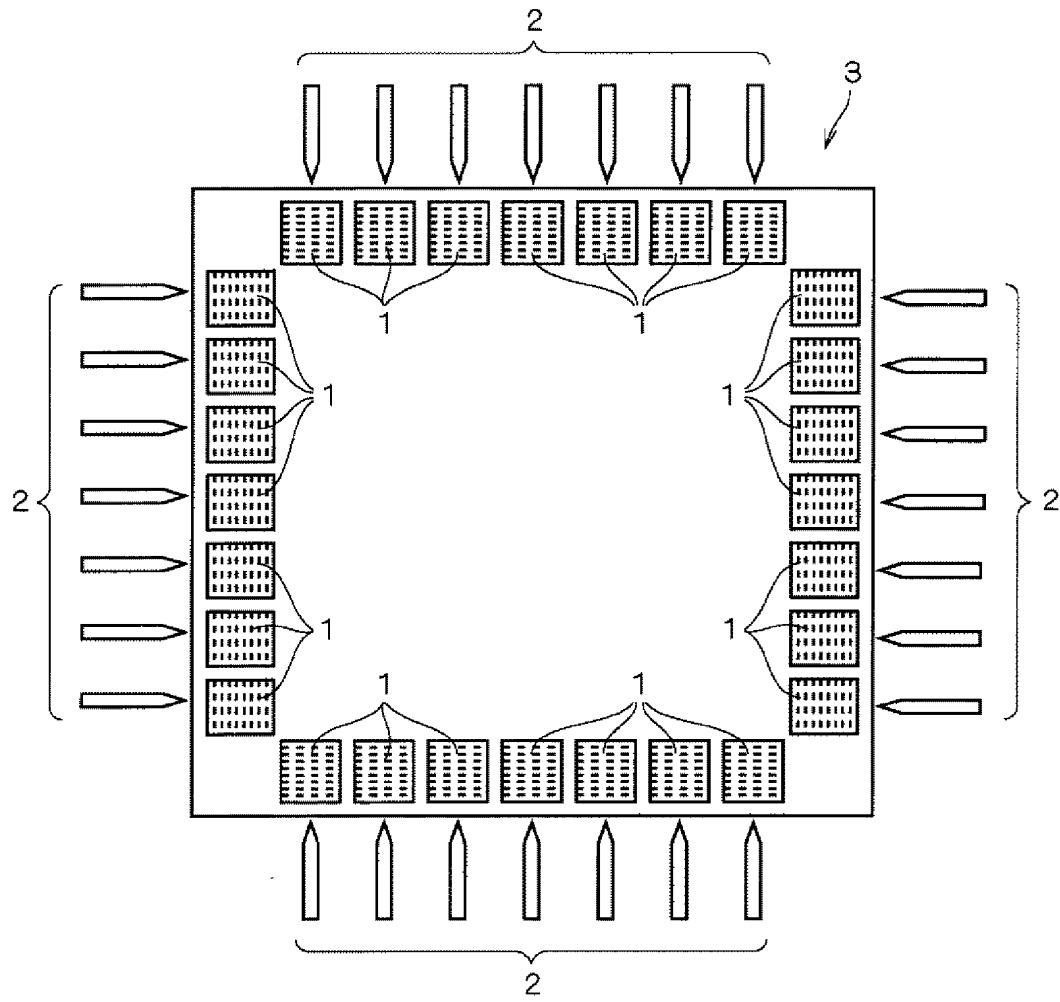
× : クラック発生

[図7]

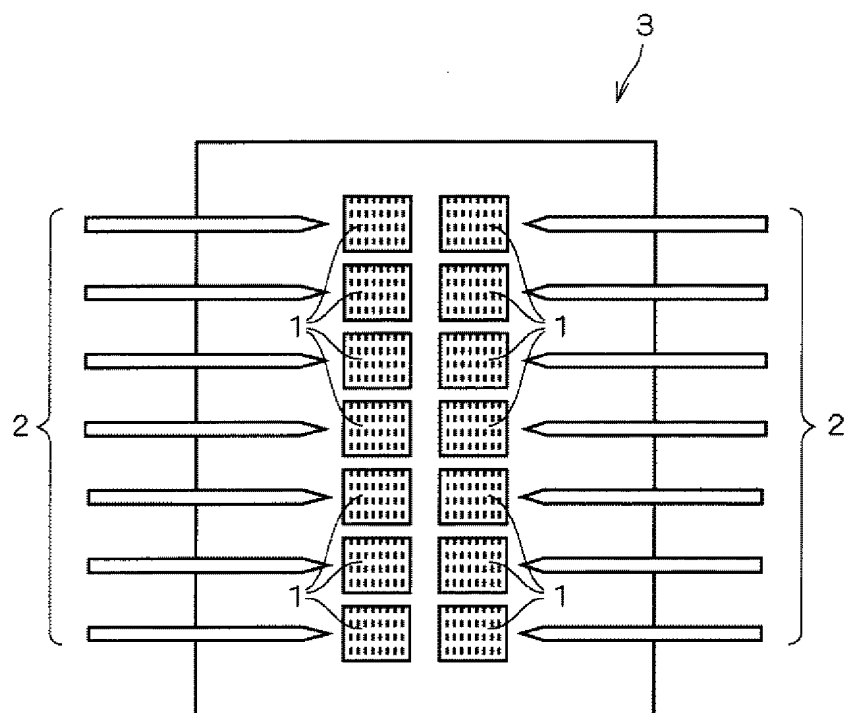




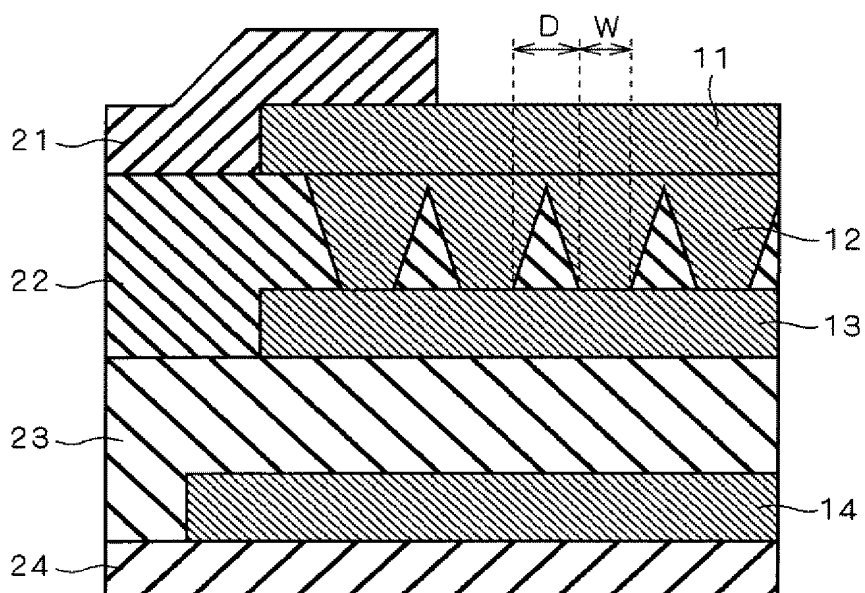
[図8]



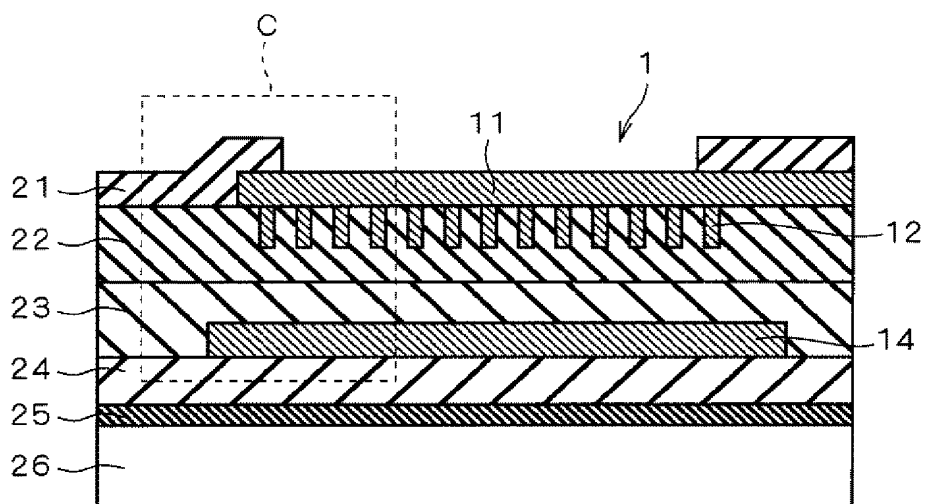
[[図9]]



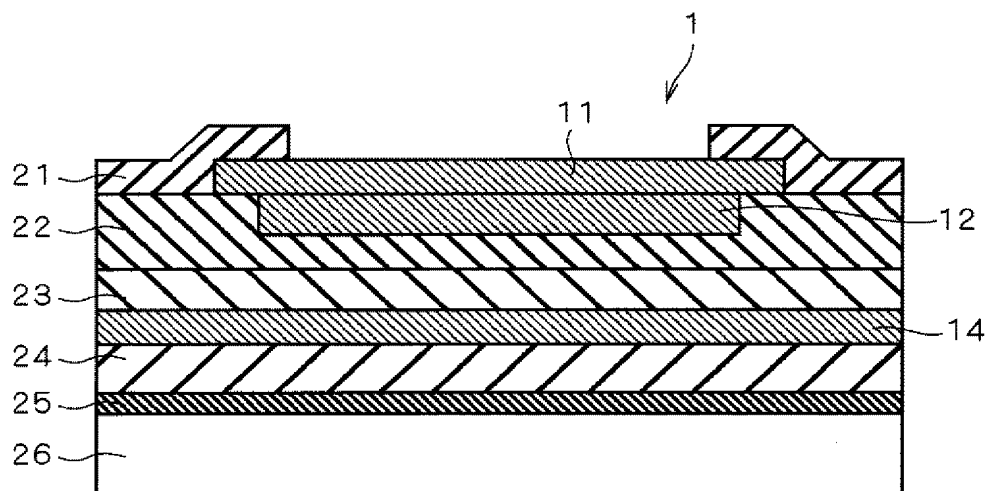
[[図10]]



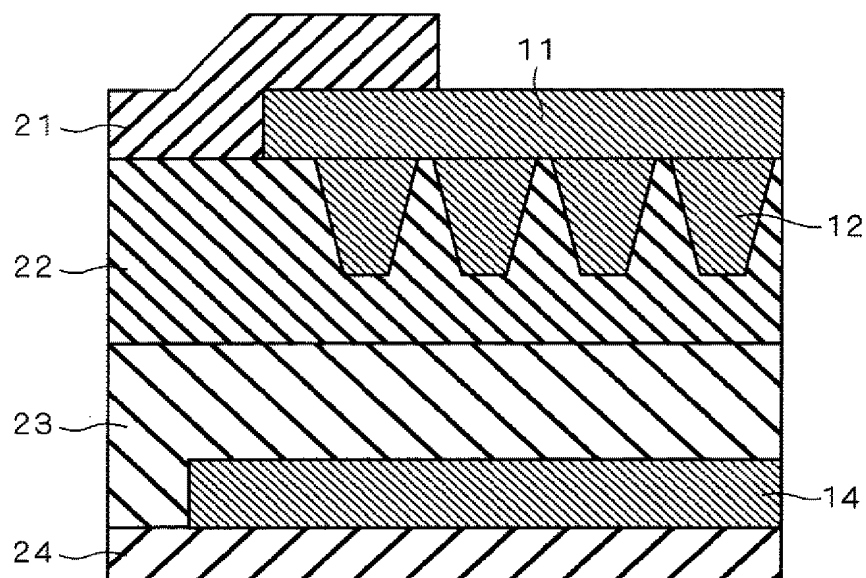
[図11]



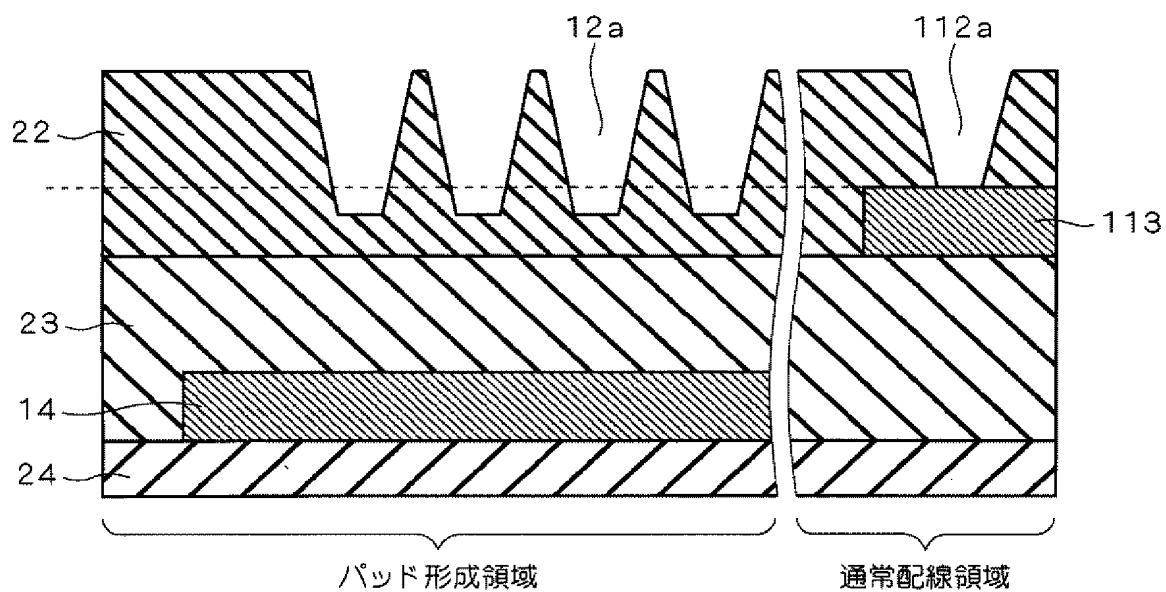
[図12]



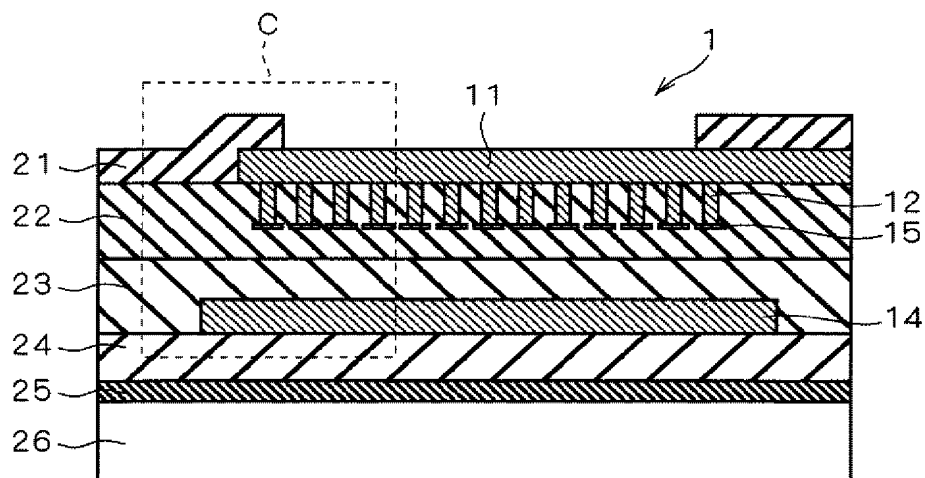
[図13]



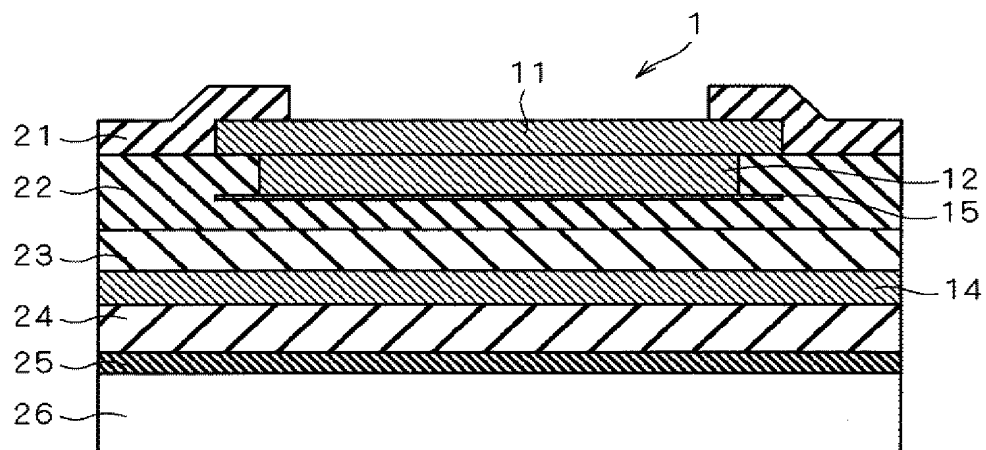
[図14]



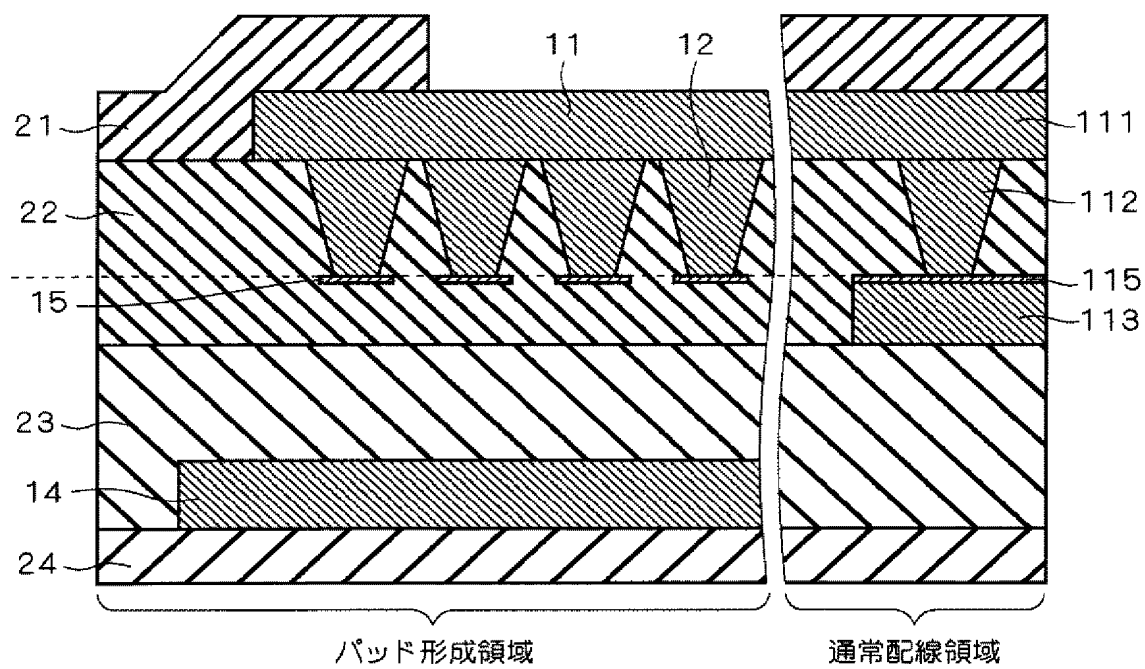
[図15]



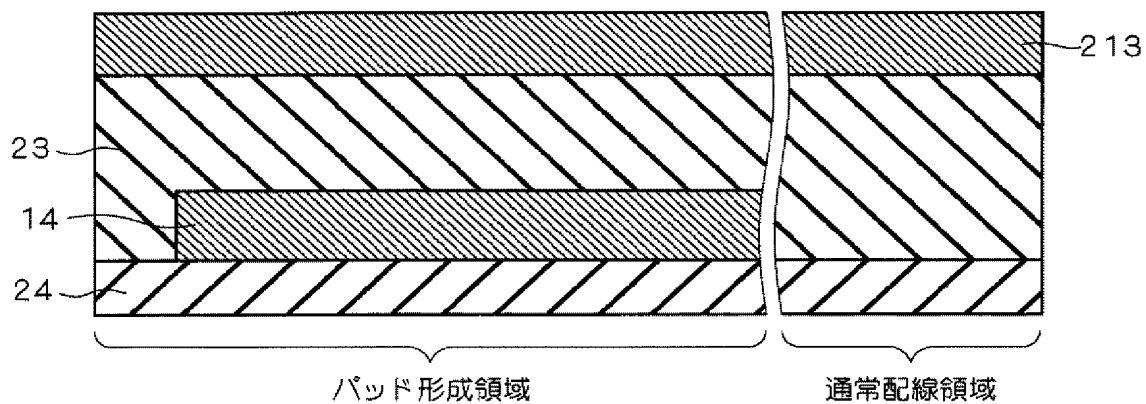
[図16]



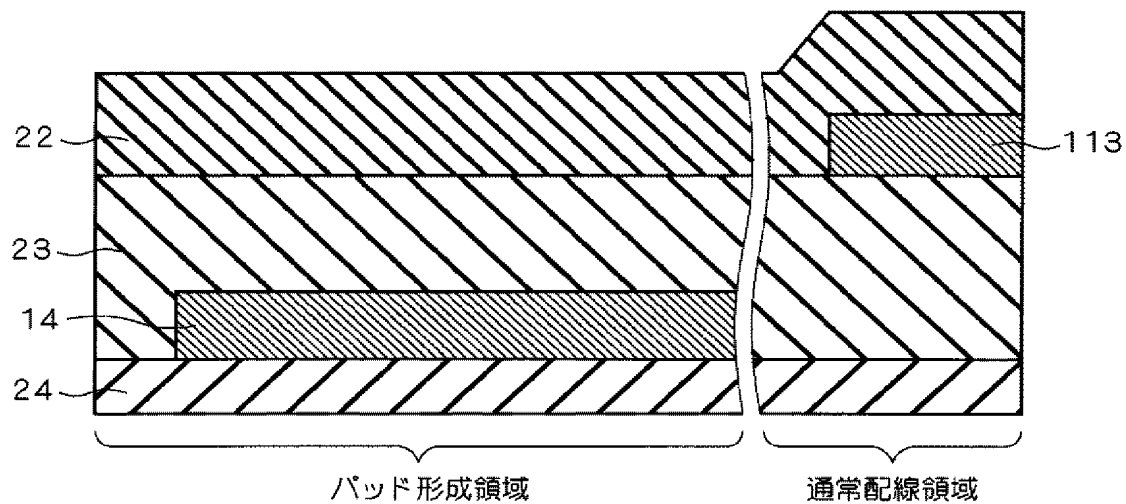
[図17]



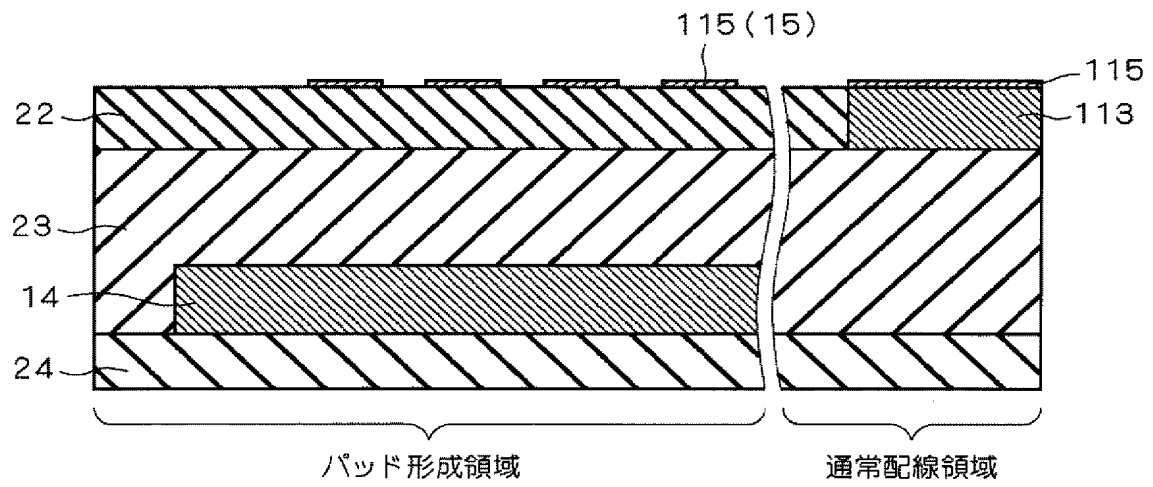
[図18]



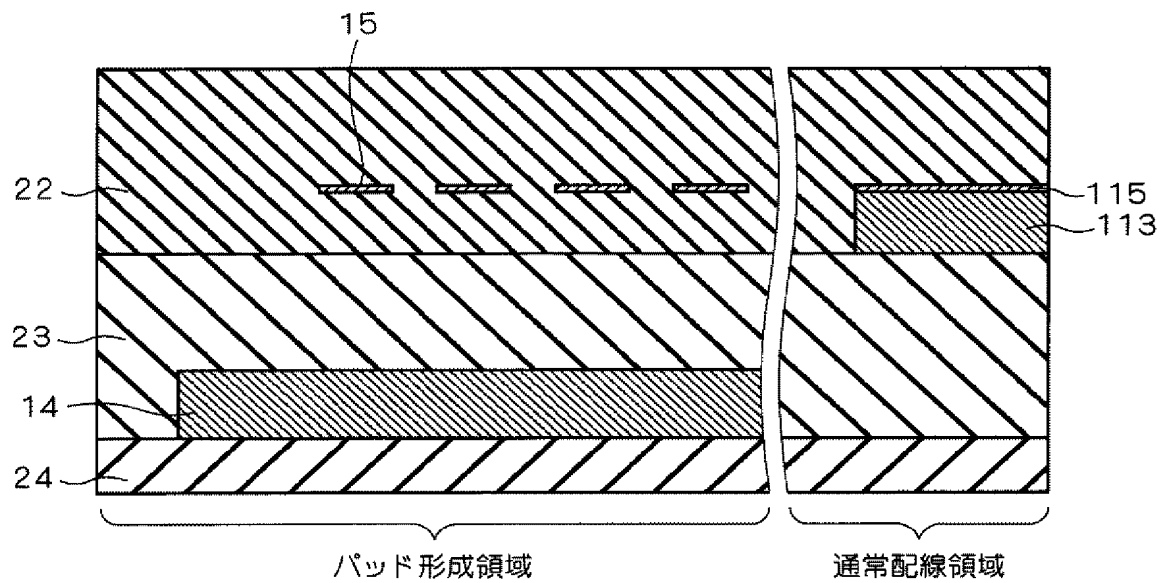
[図19]



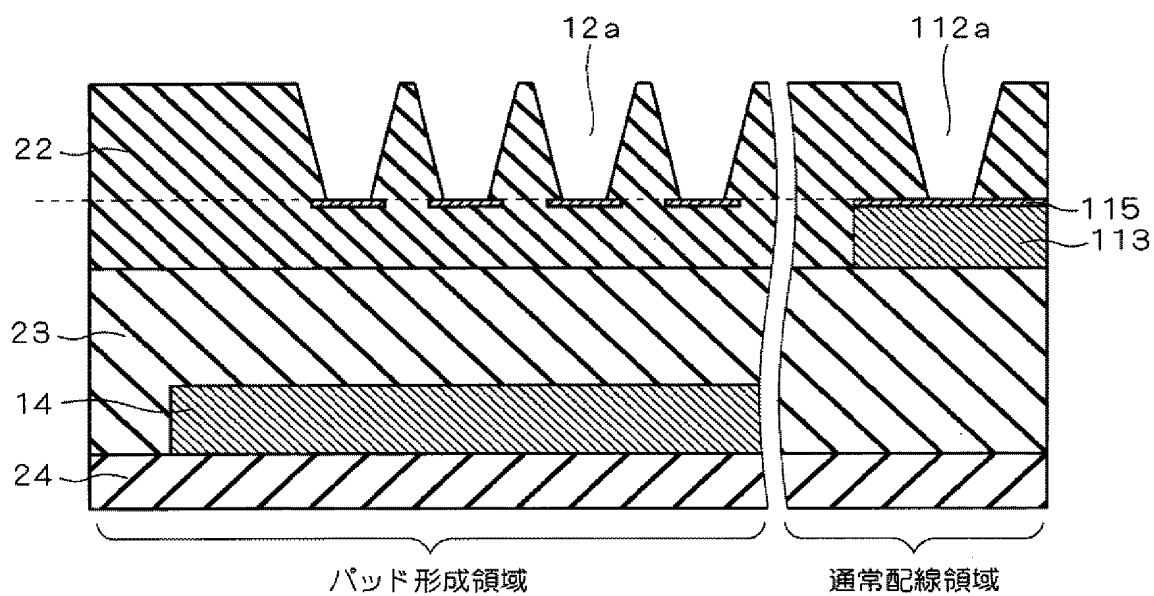
[図20]



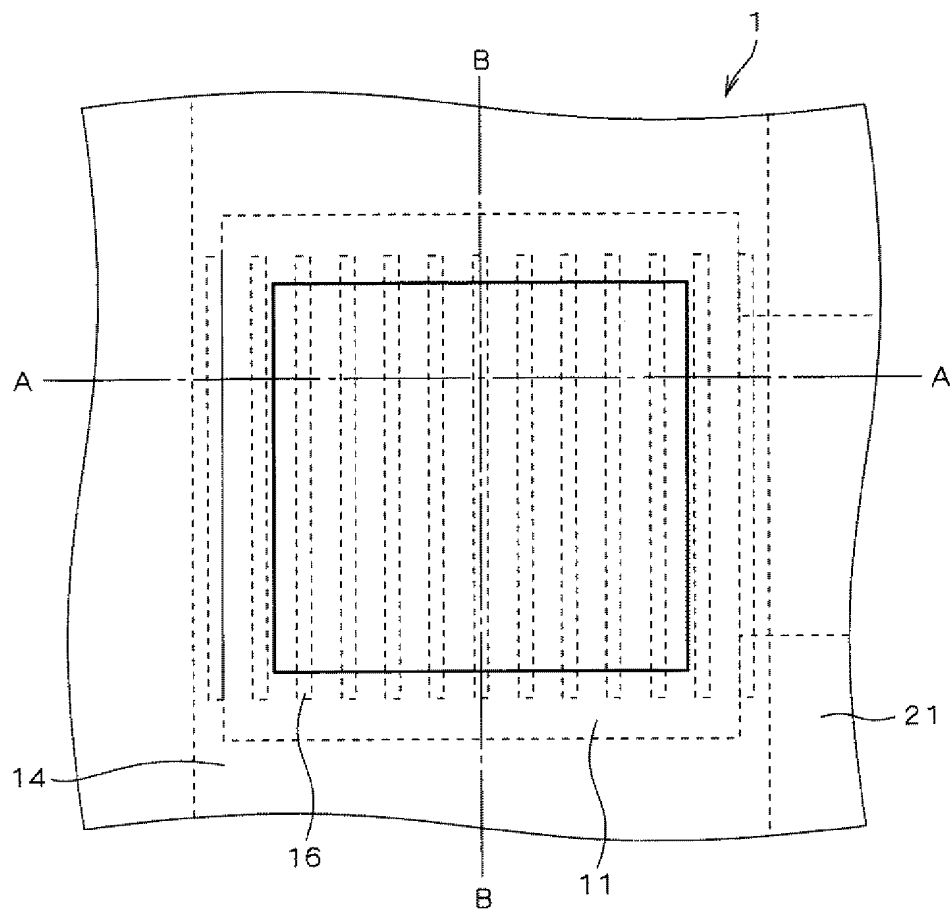
[図21]



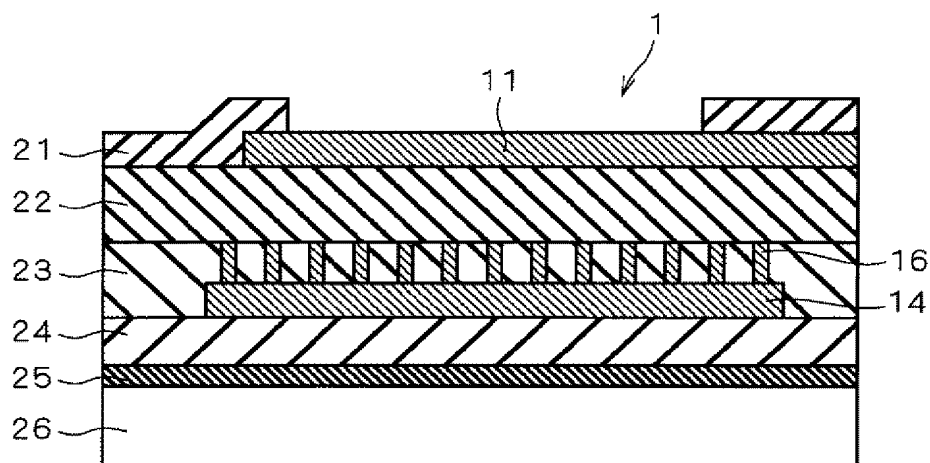
[図22]



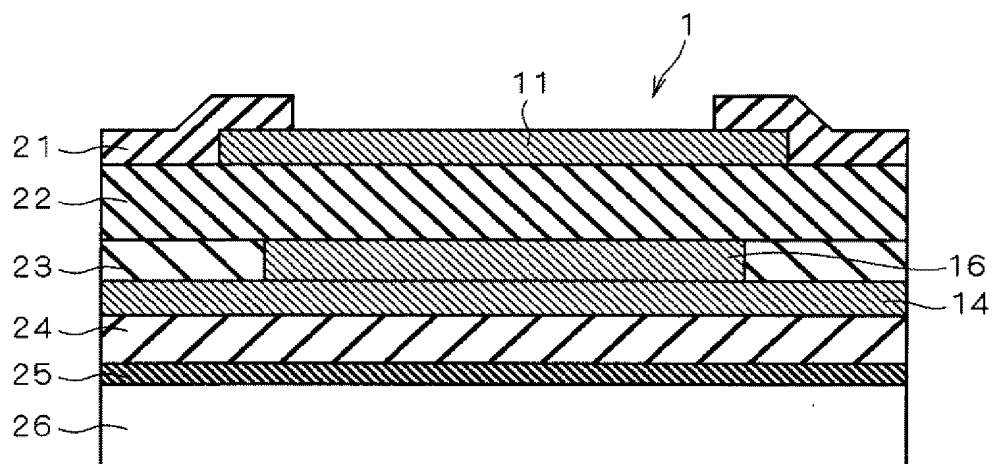
[図23]



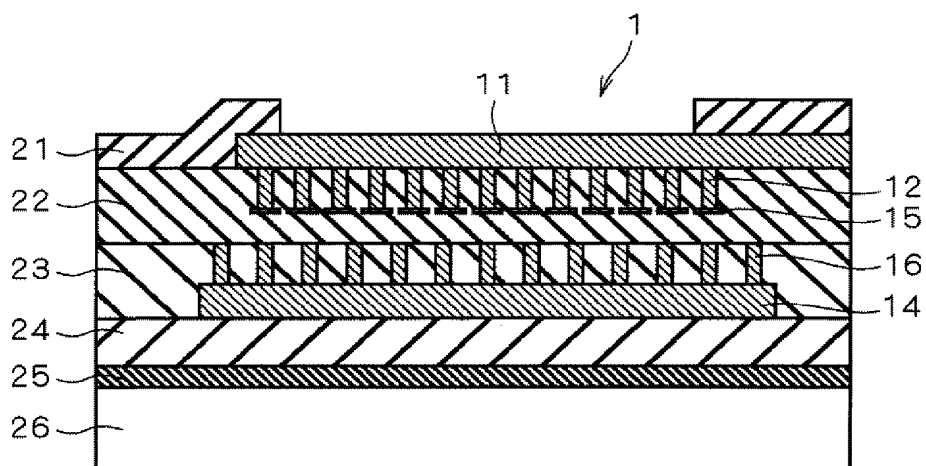
[図24]



[図25]

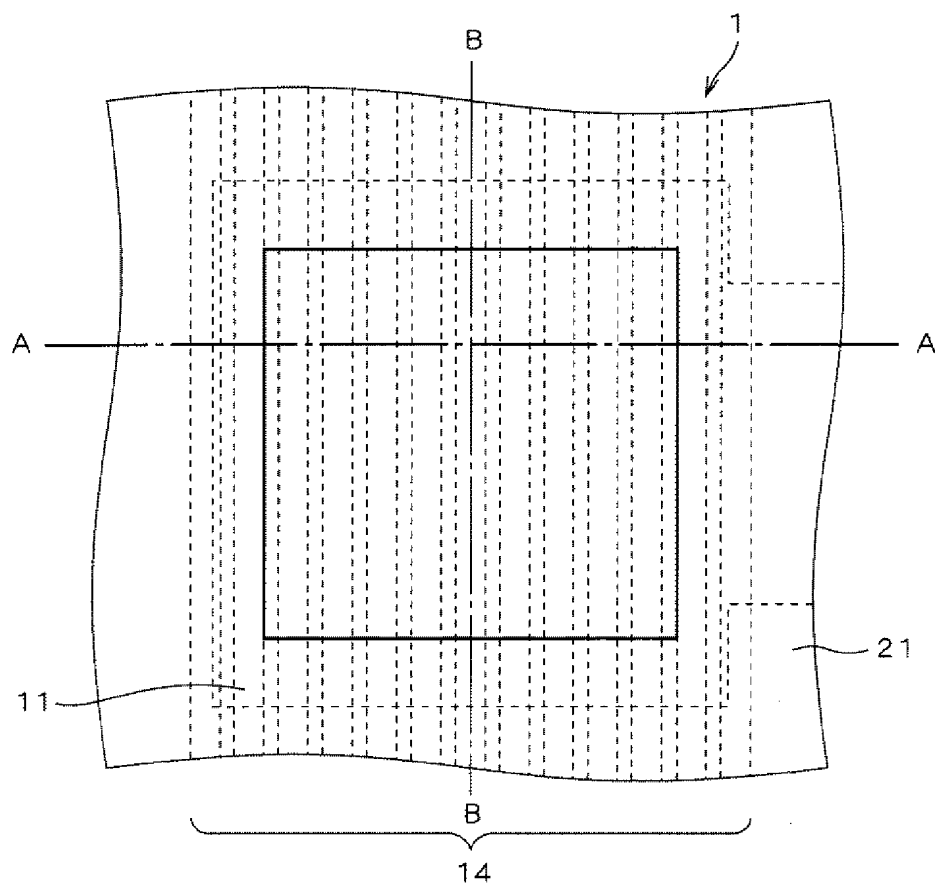


[図26]

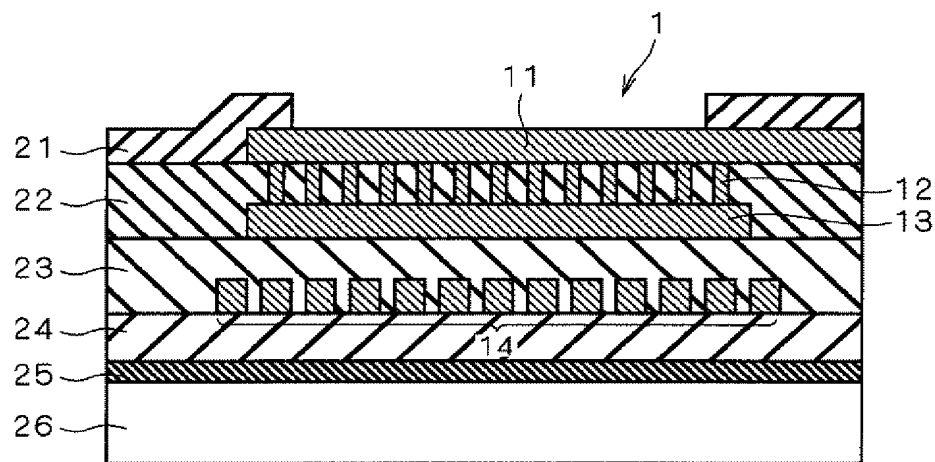




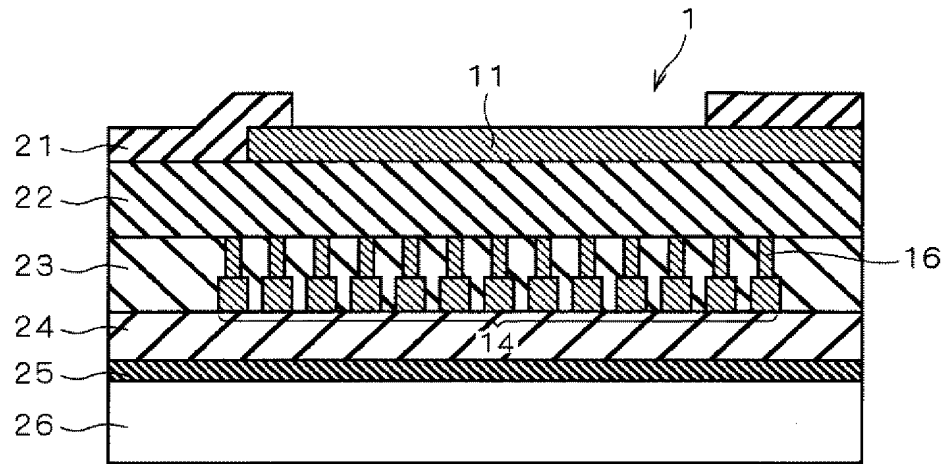
[図27]



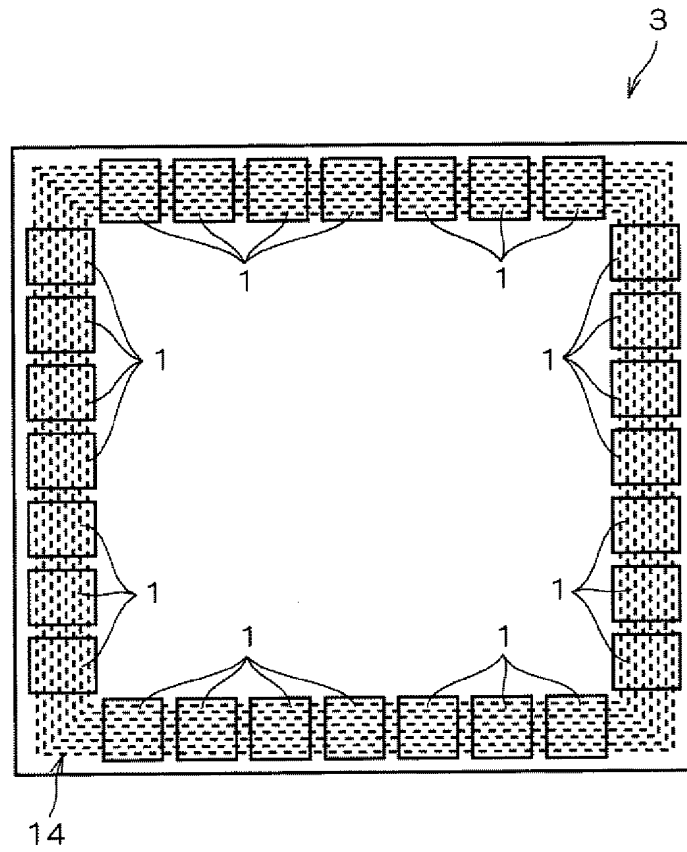
[図28]



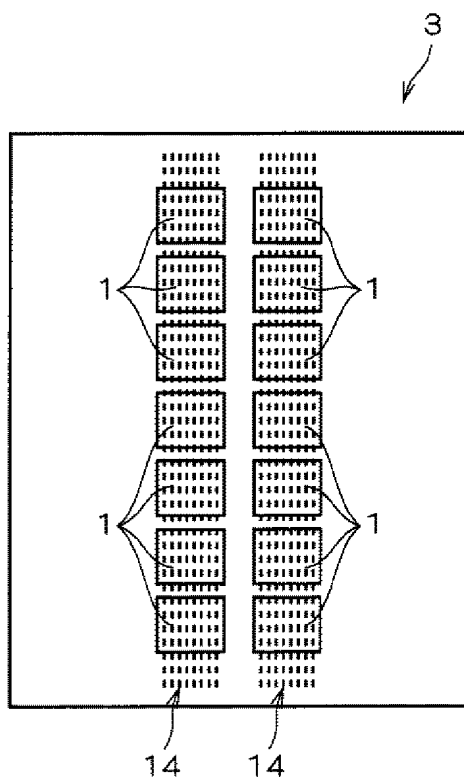
[図29]



[図30]

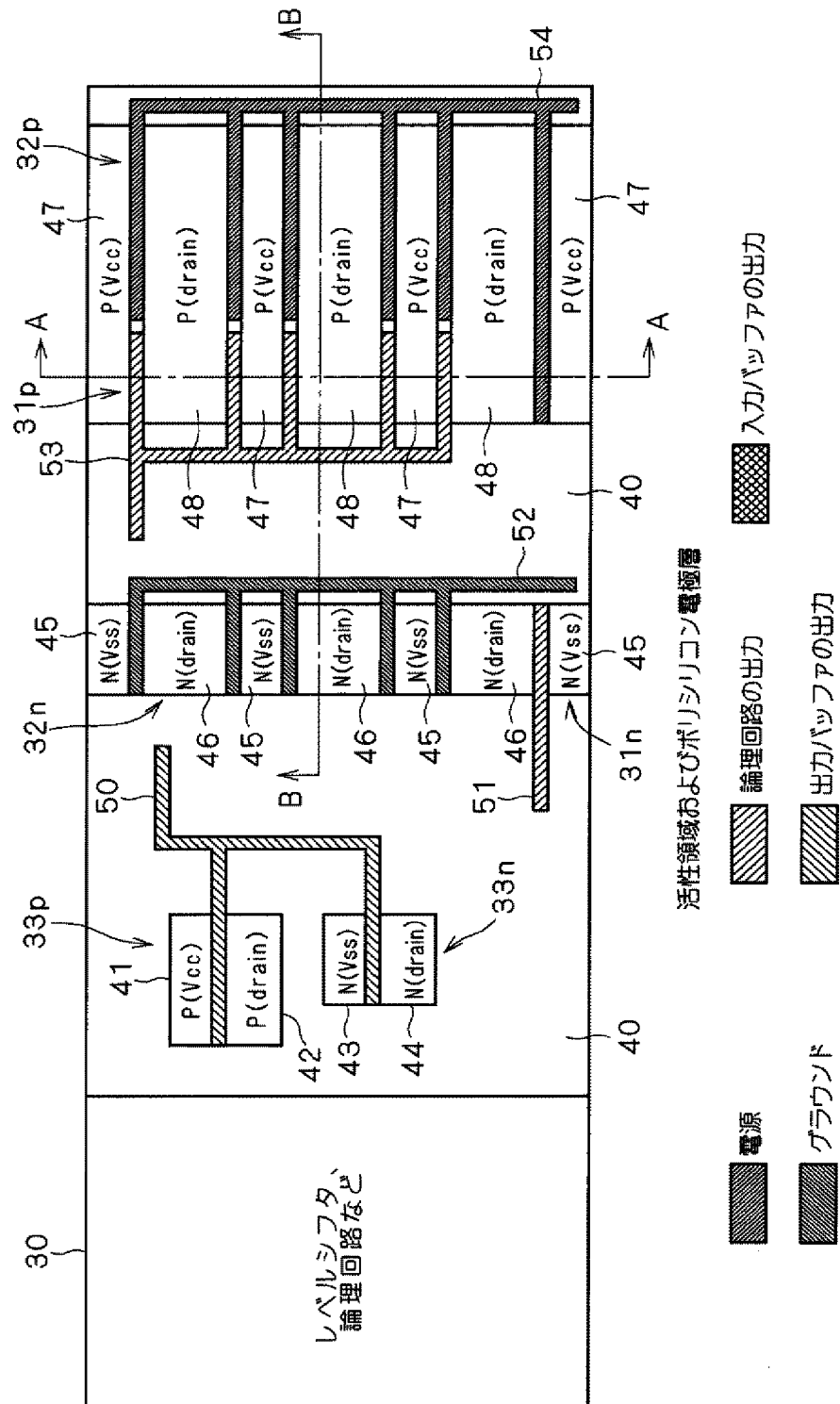


[図31]

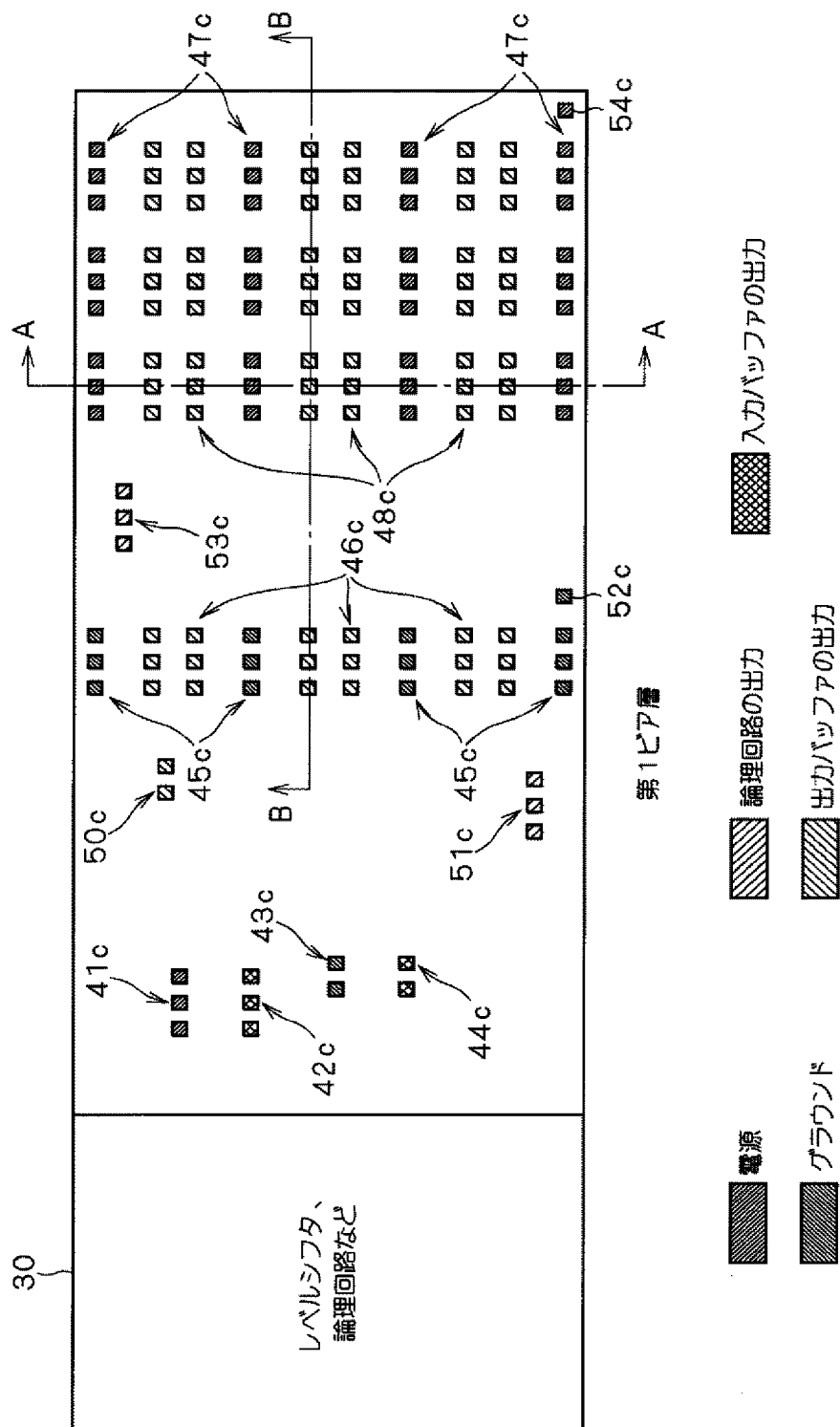




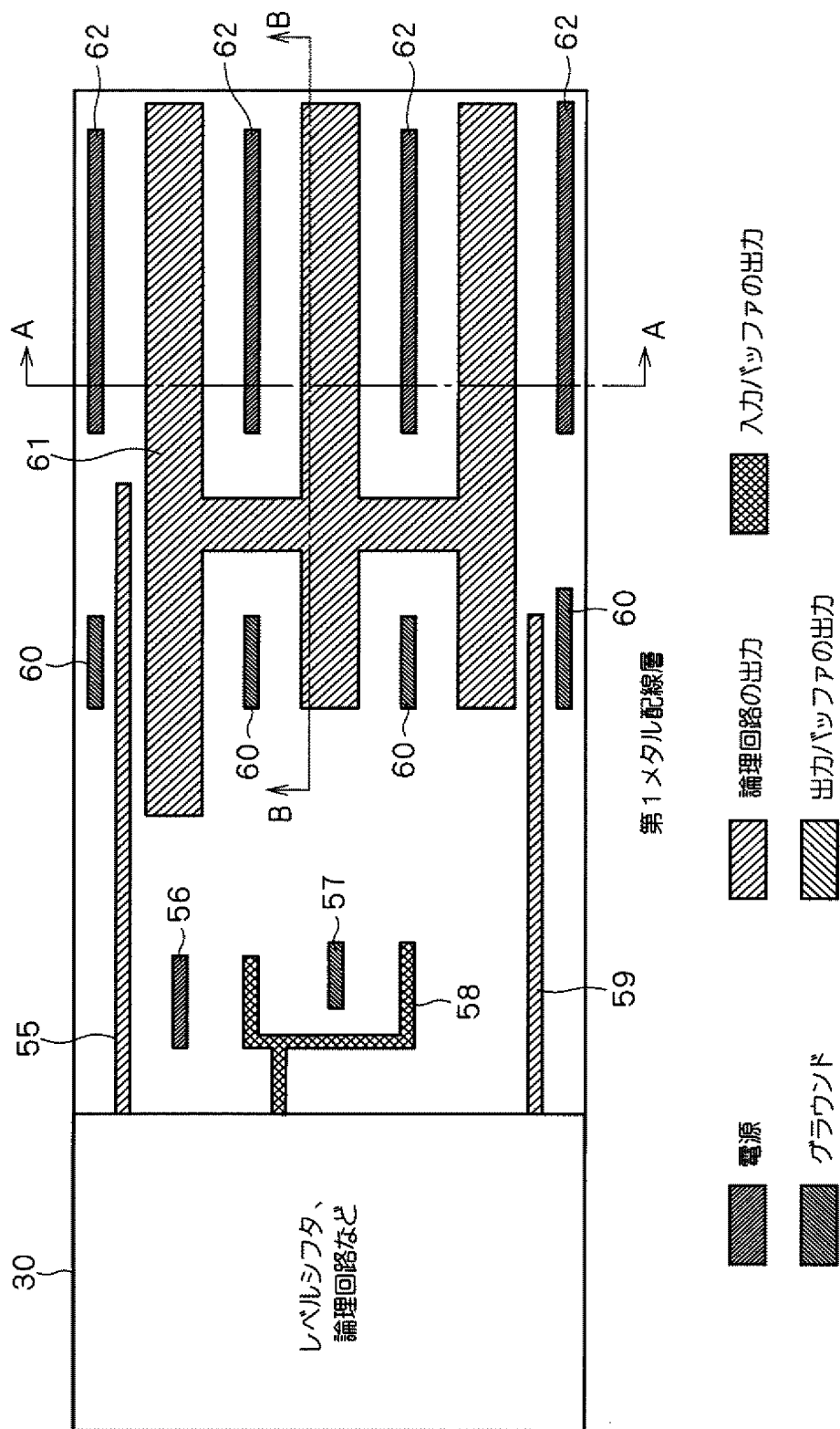
[図33]



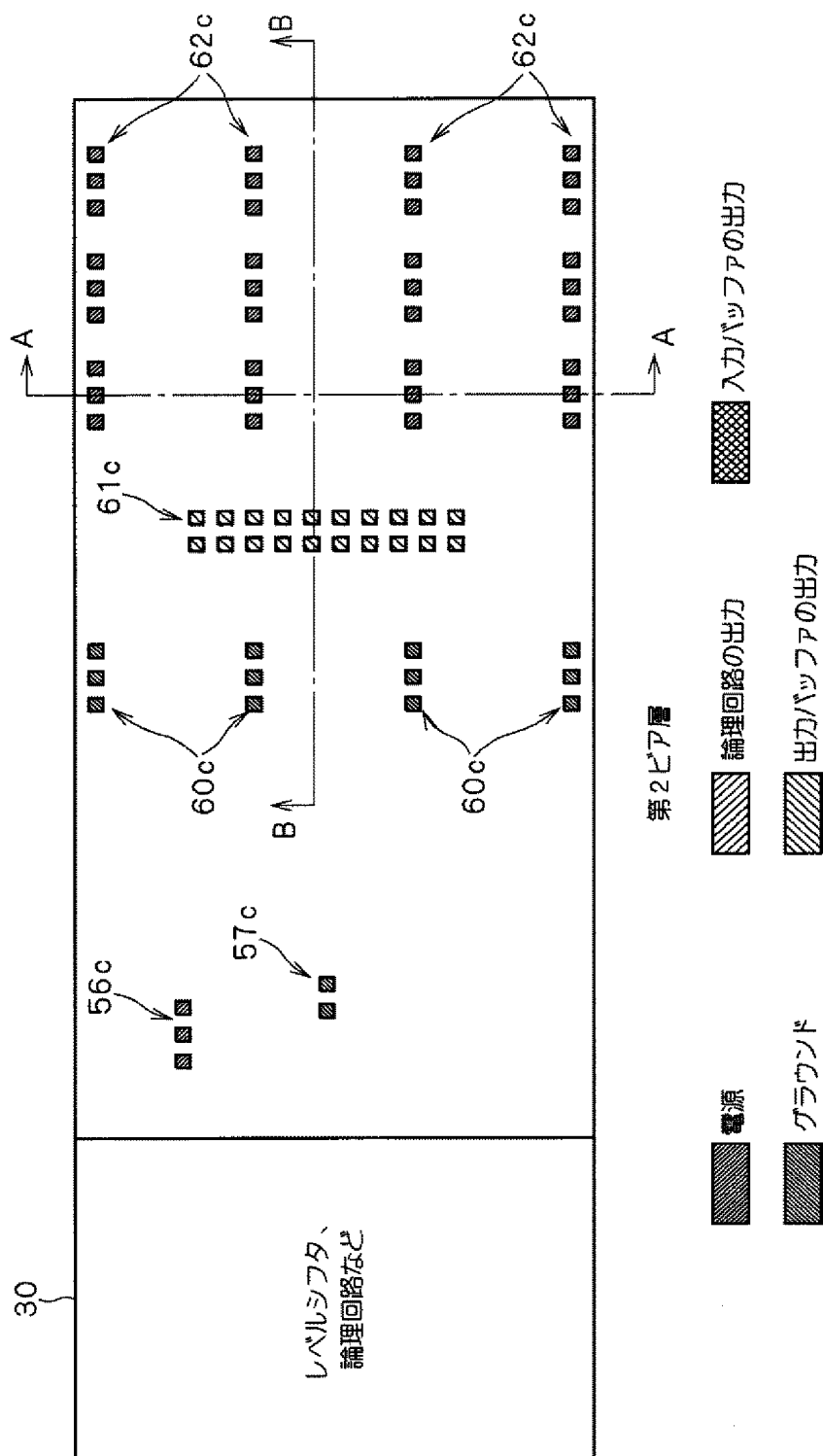
[図34]



[図35]

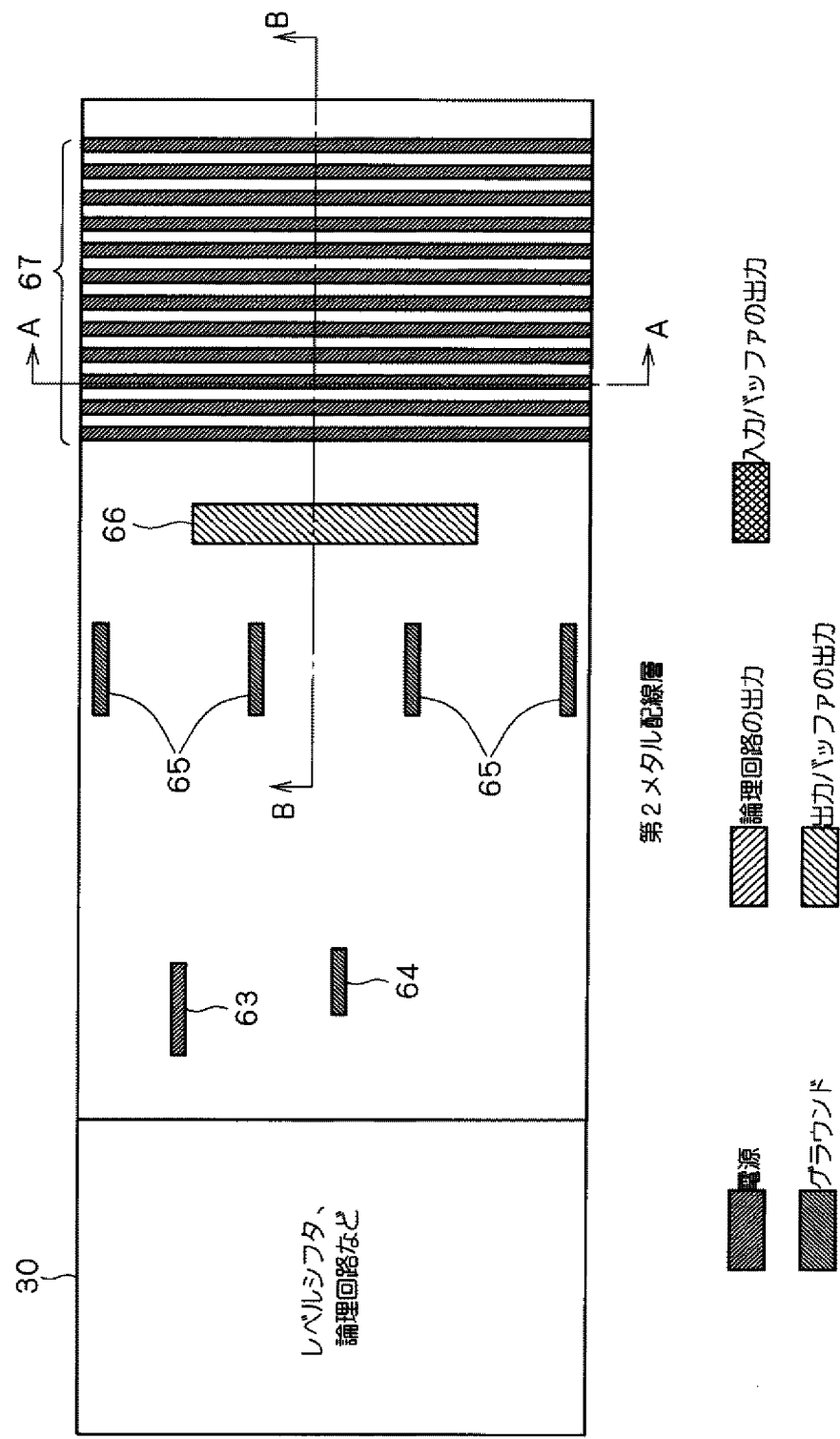


[図36]

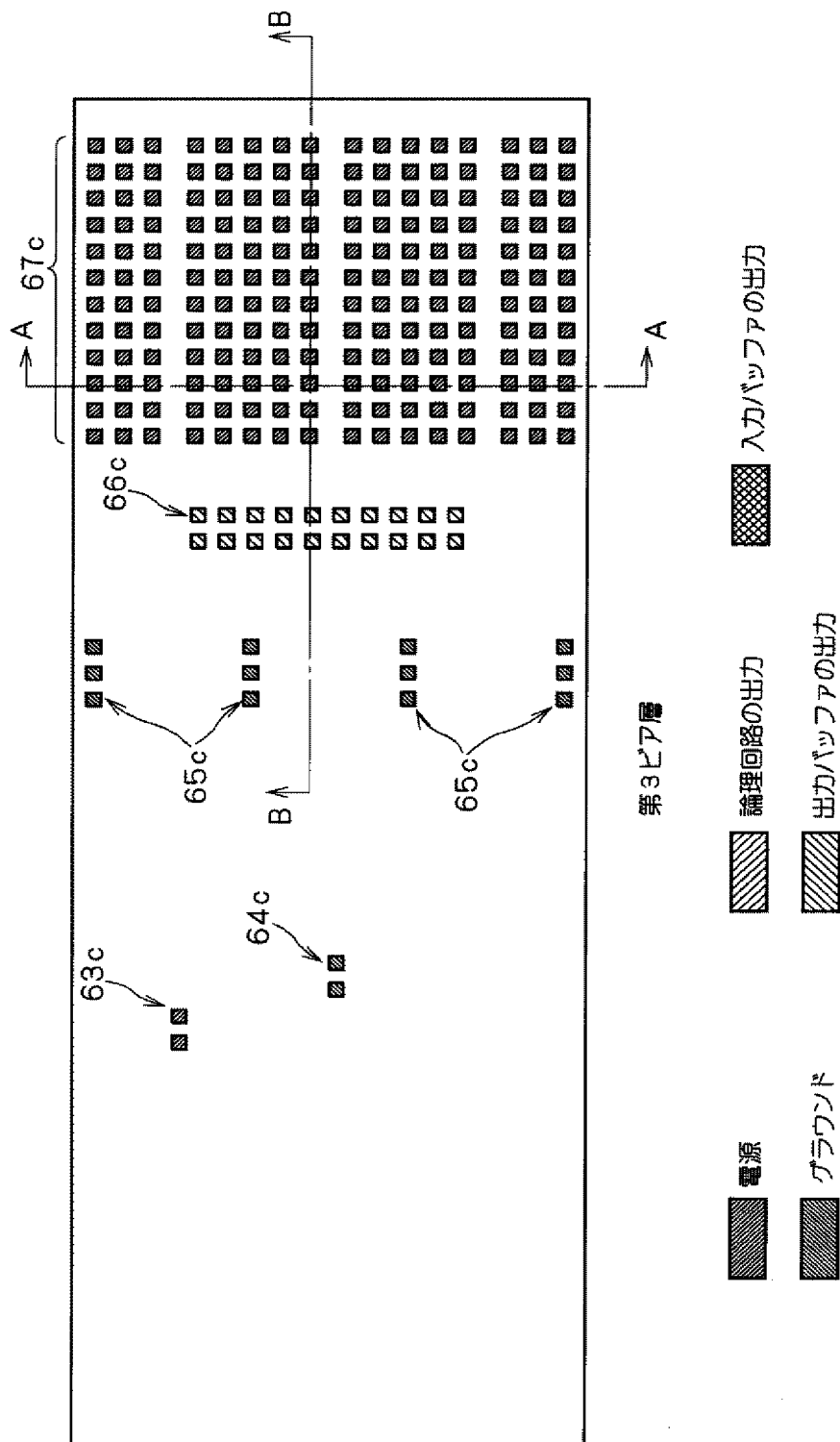




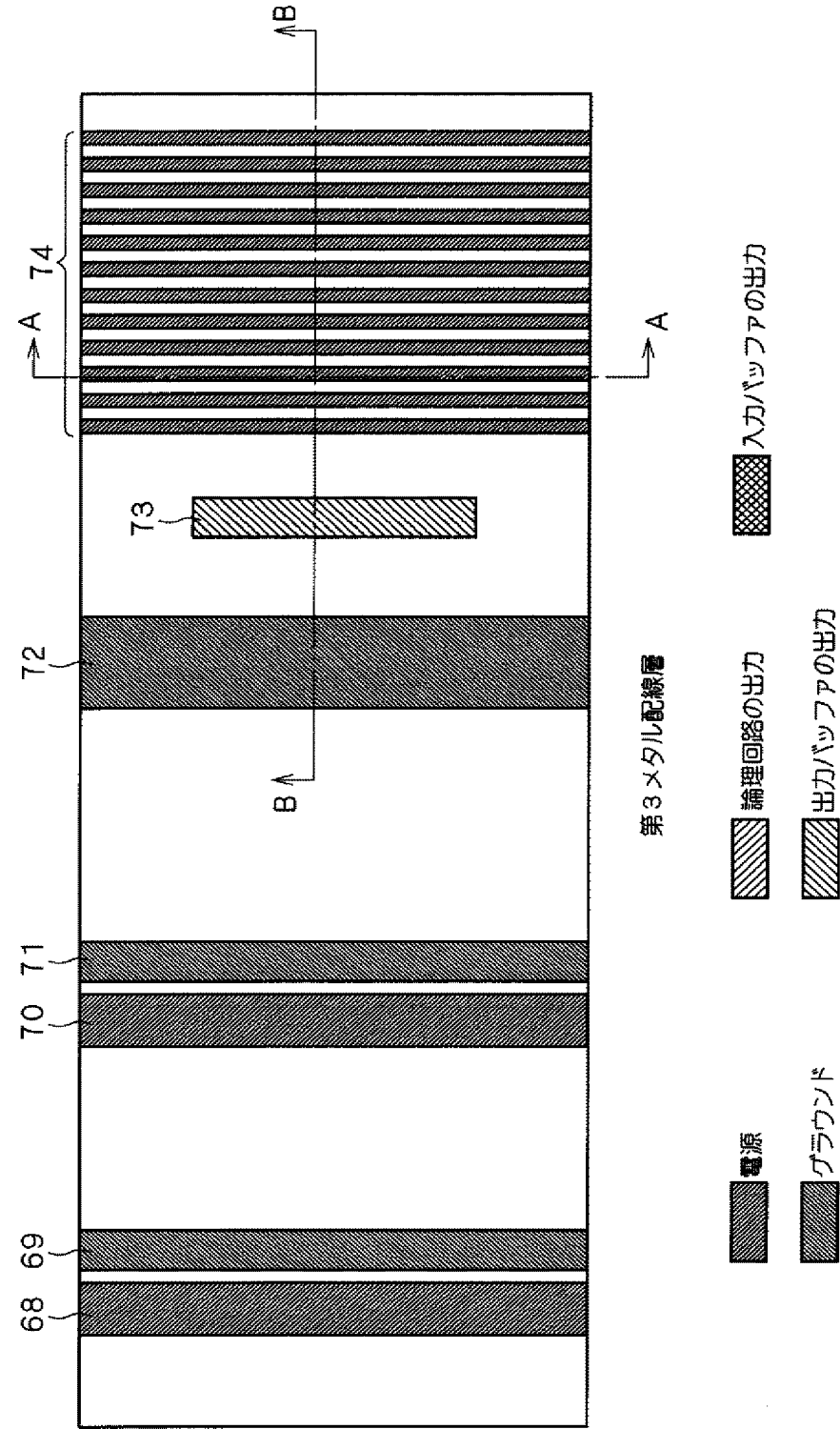
[図37]



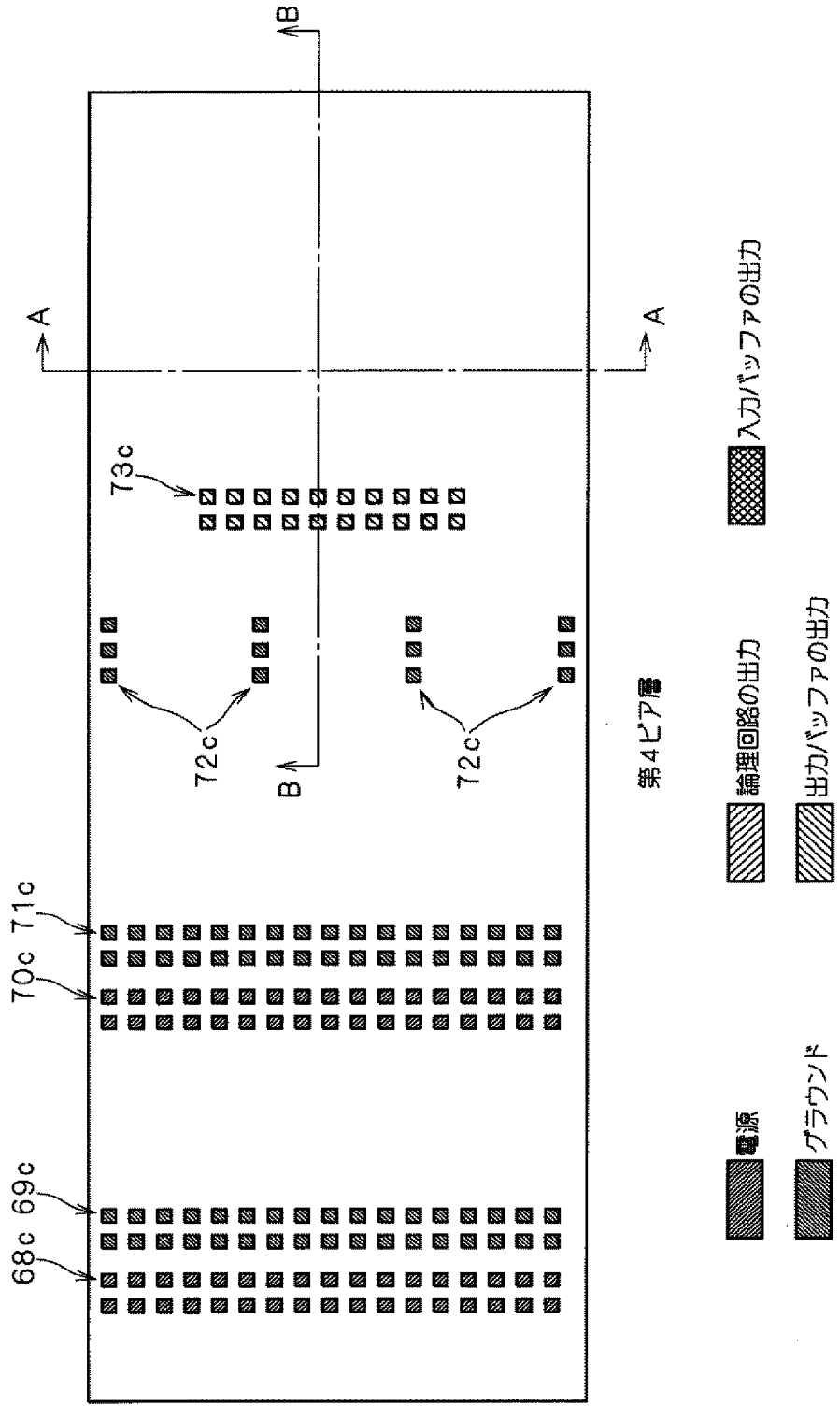
[図38]



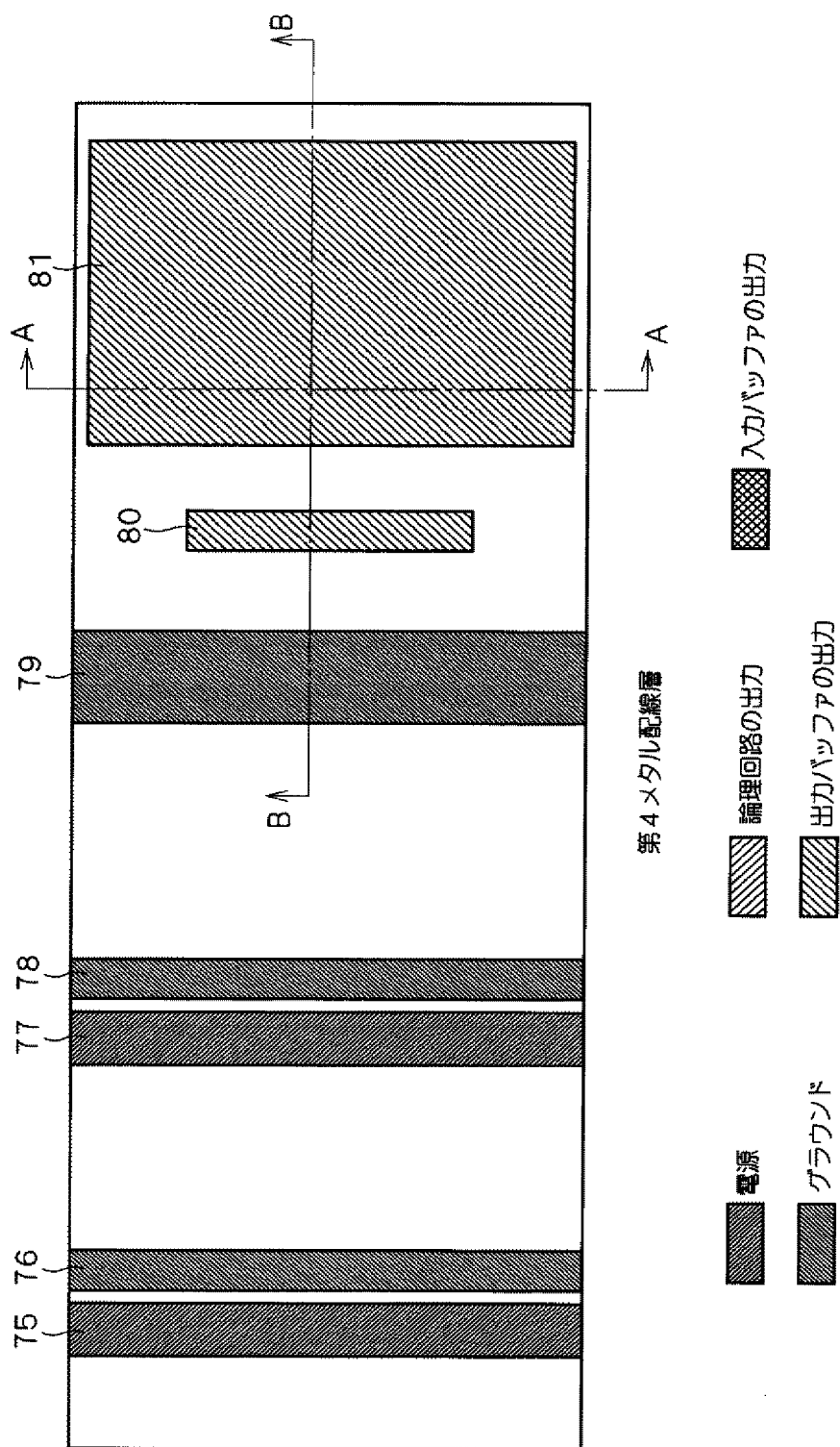
[図39]



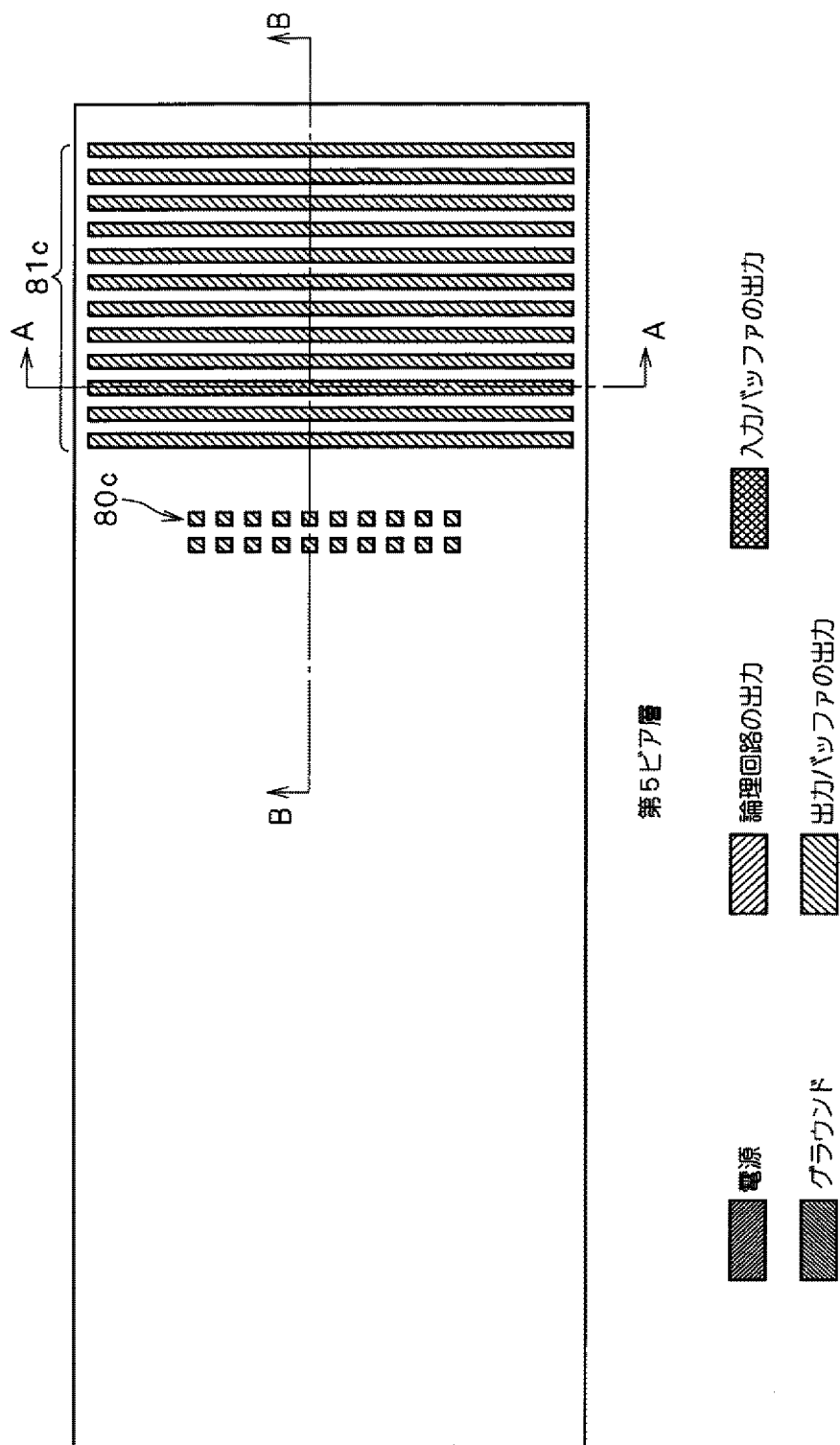
[図40]



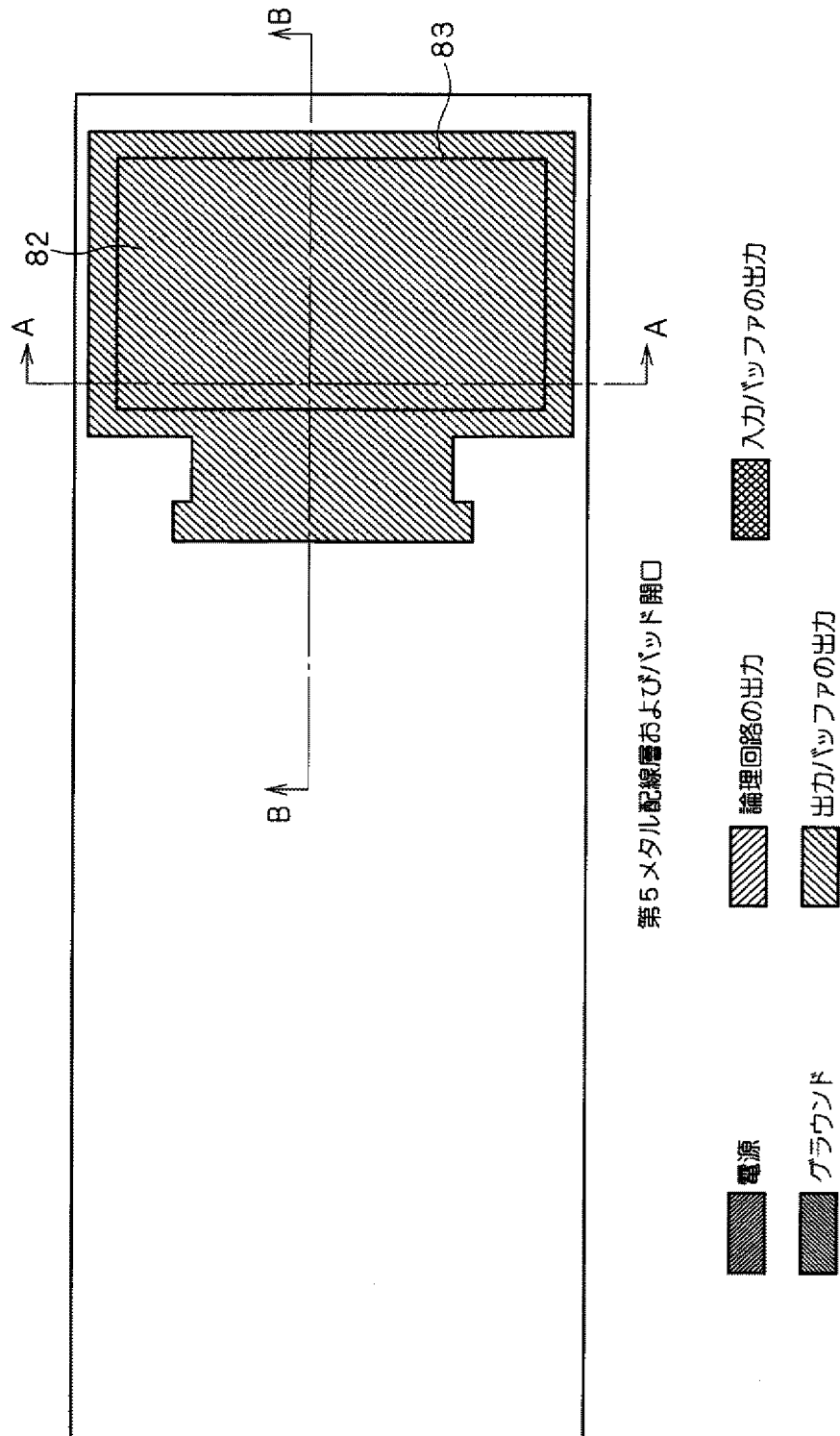
[図41]



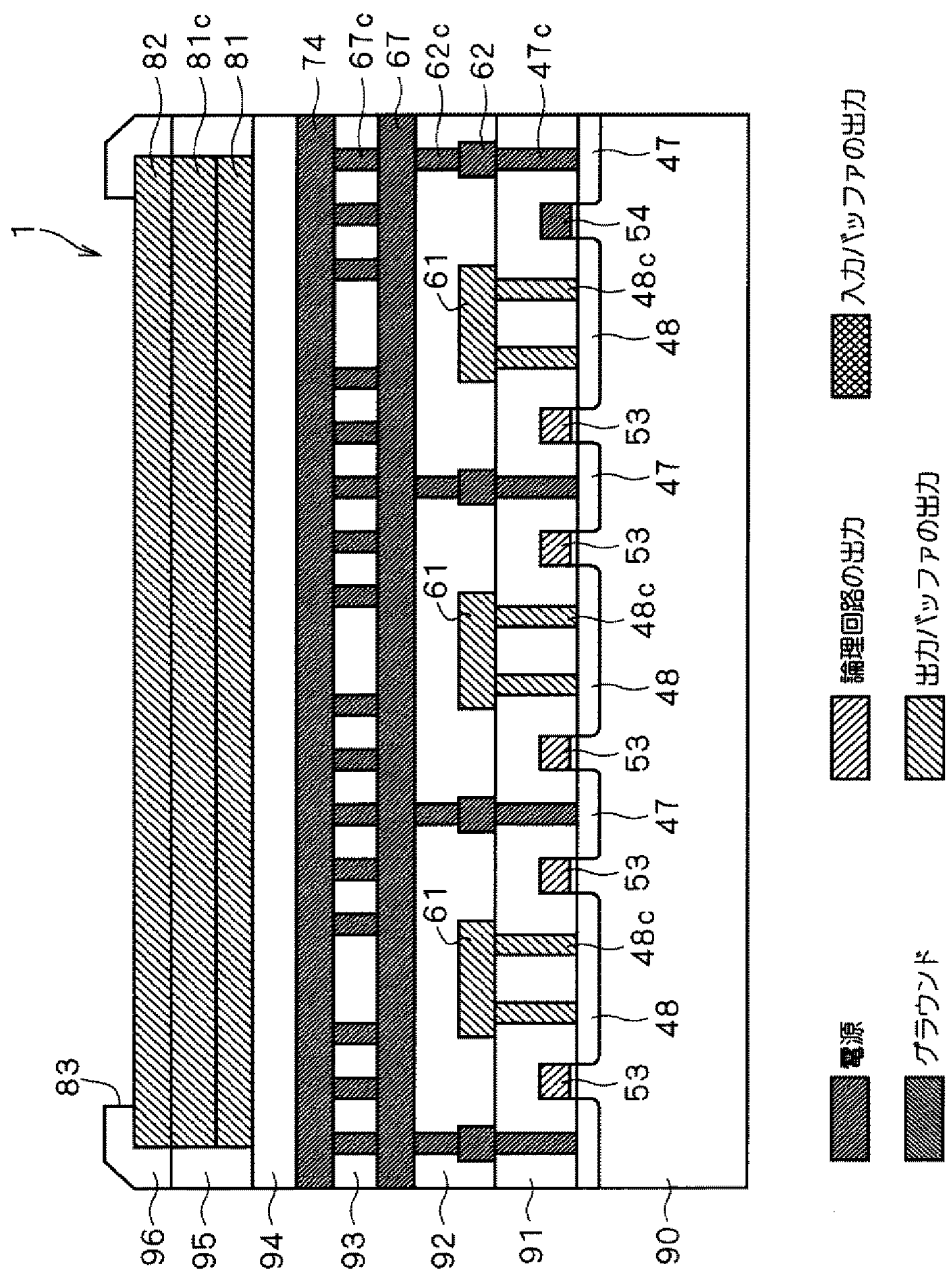
[図42]



[図43]

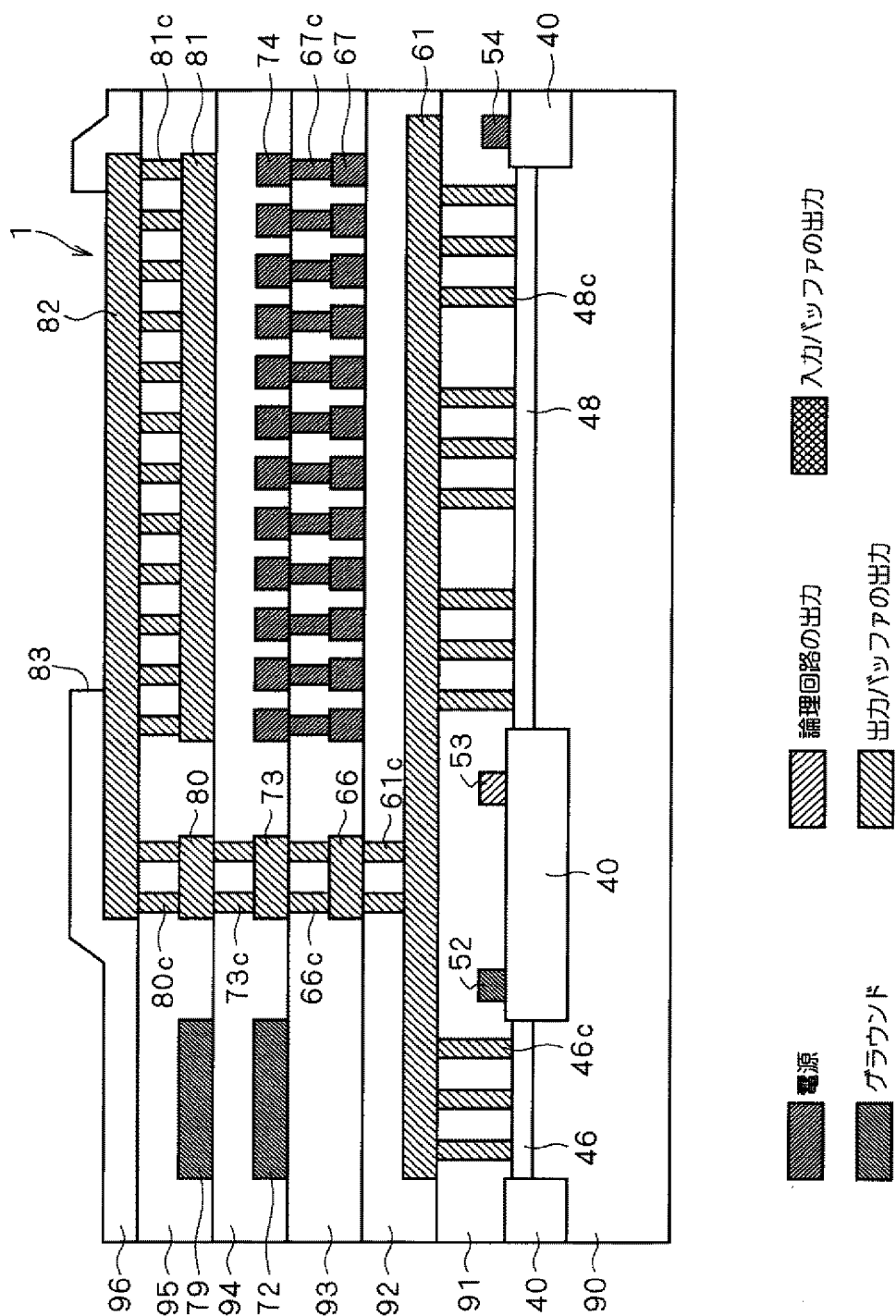


[図44]





[図45]



[図46]

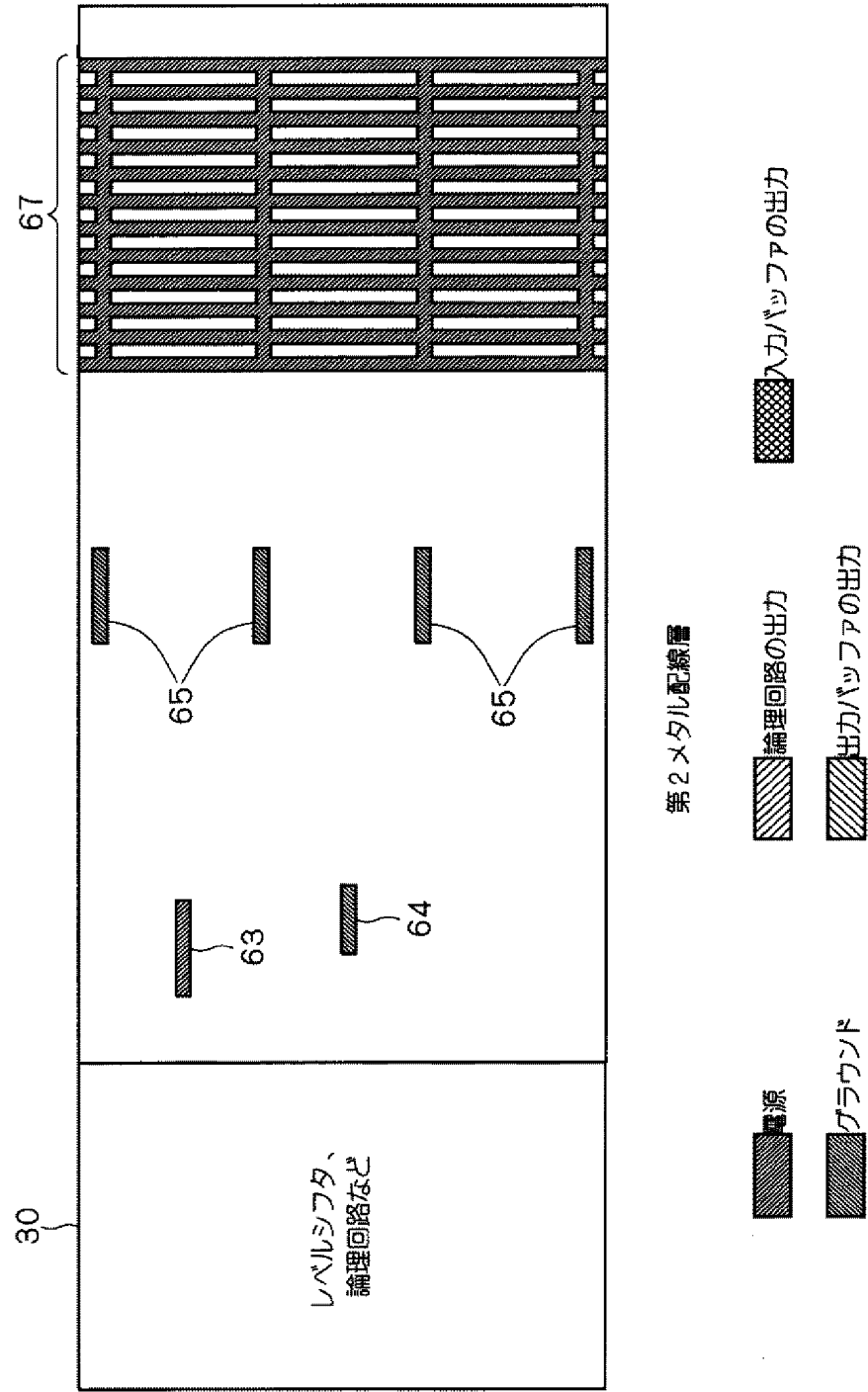
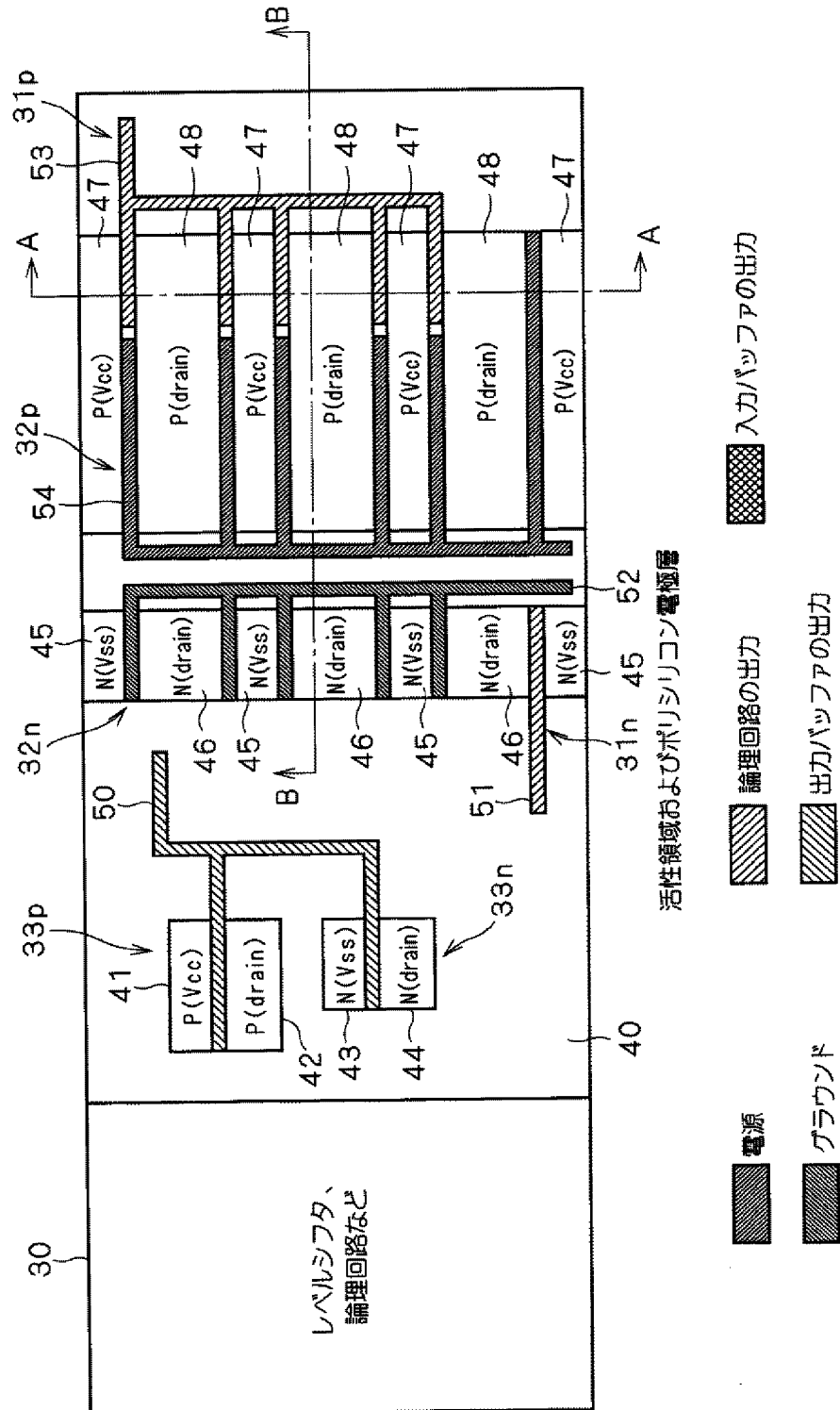
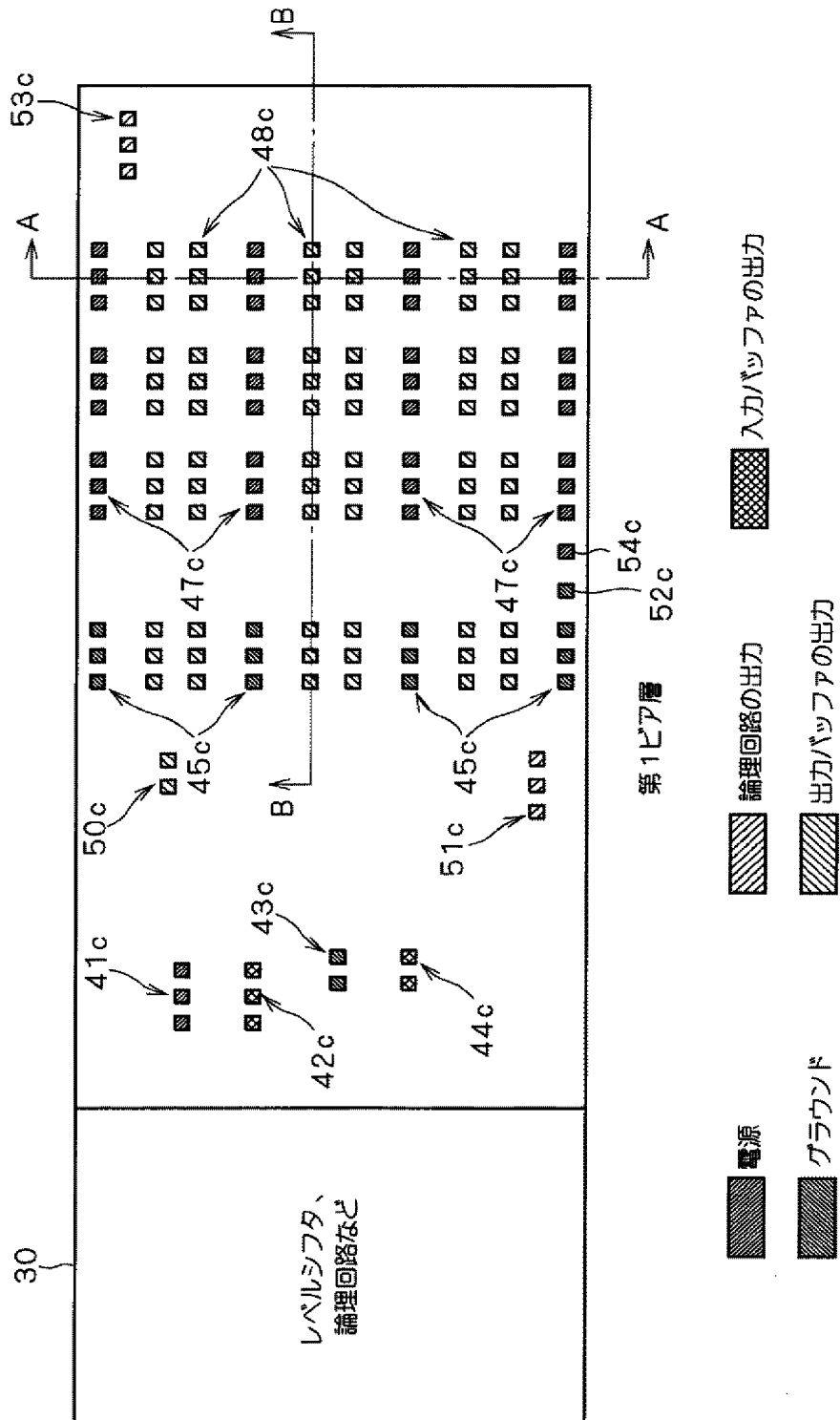


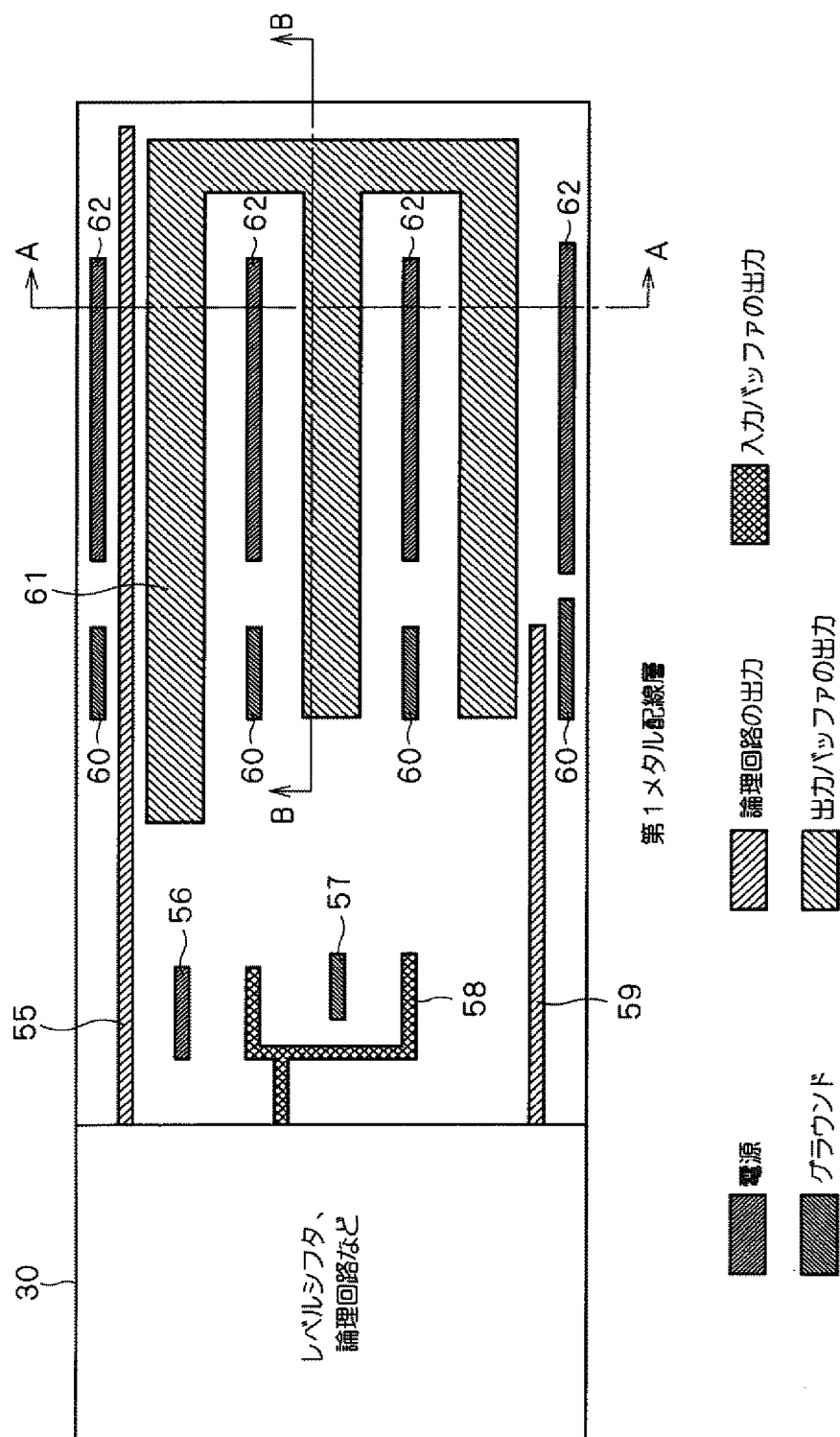
図47



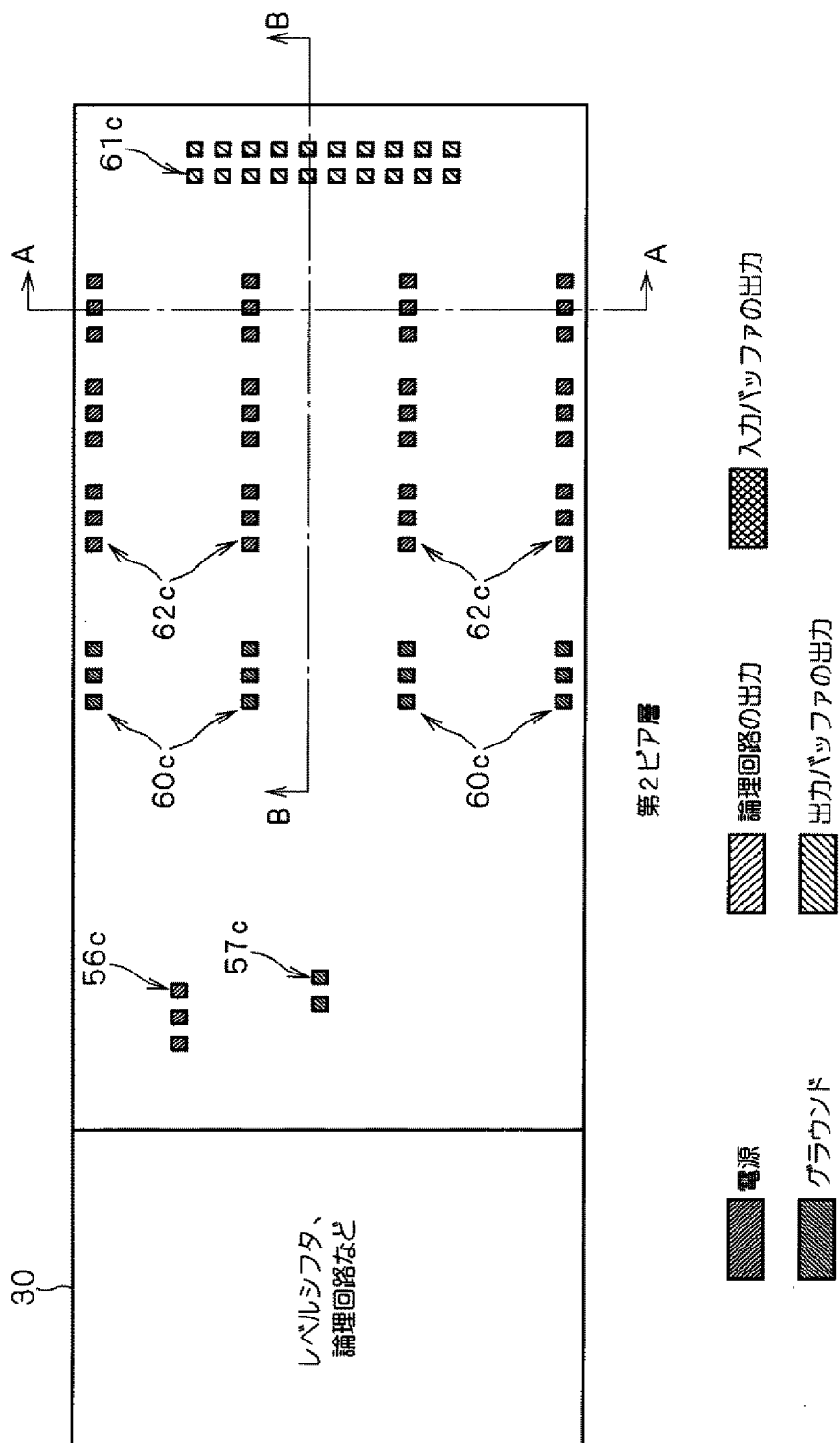
[図48]



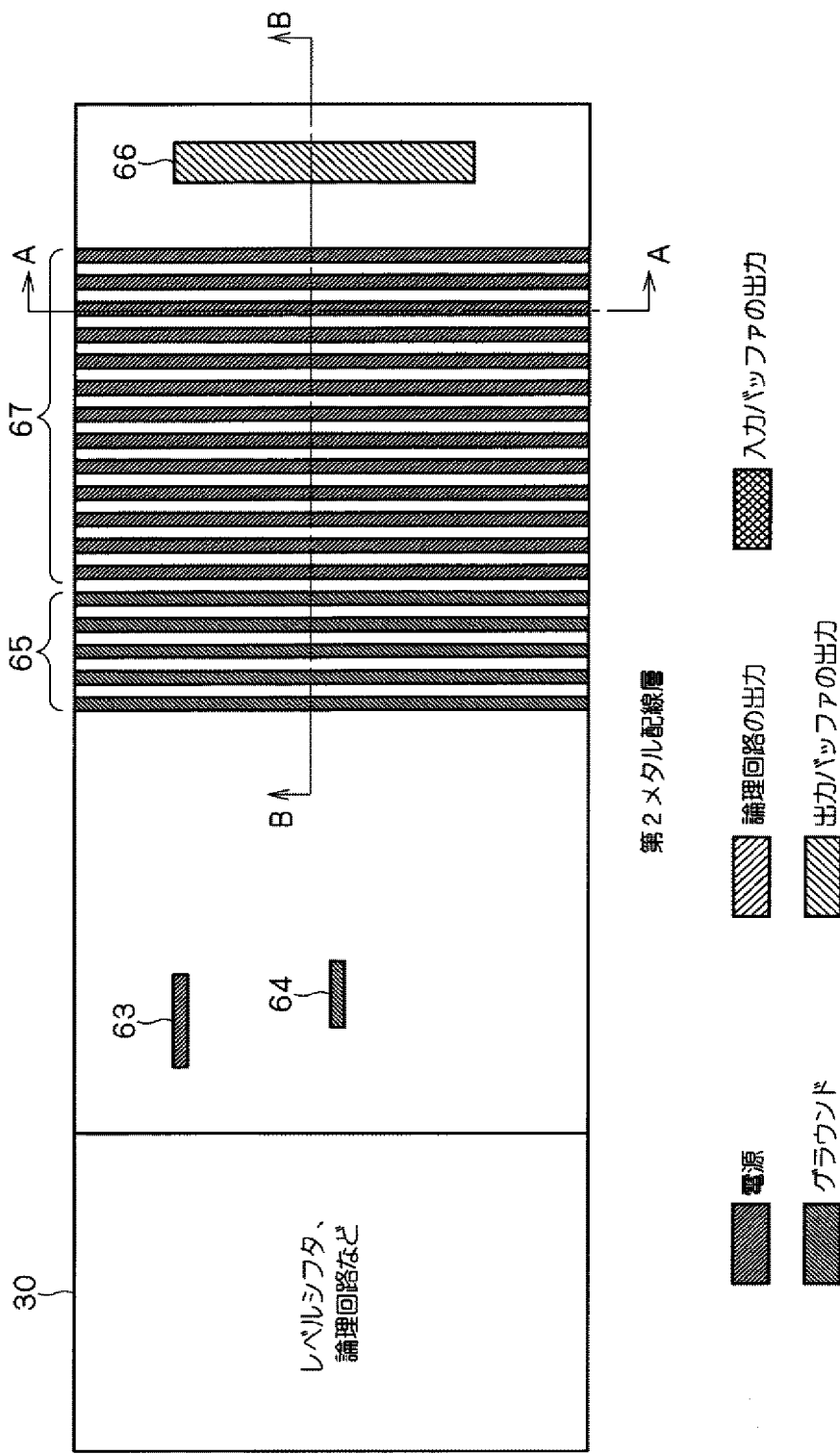
[図49]



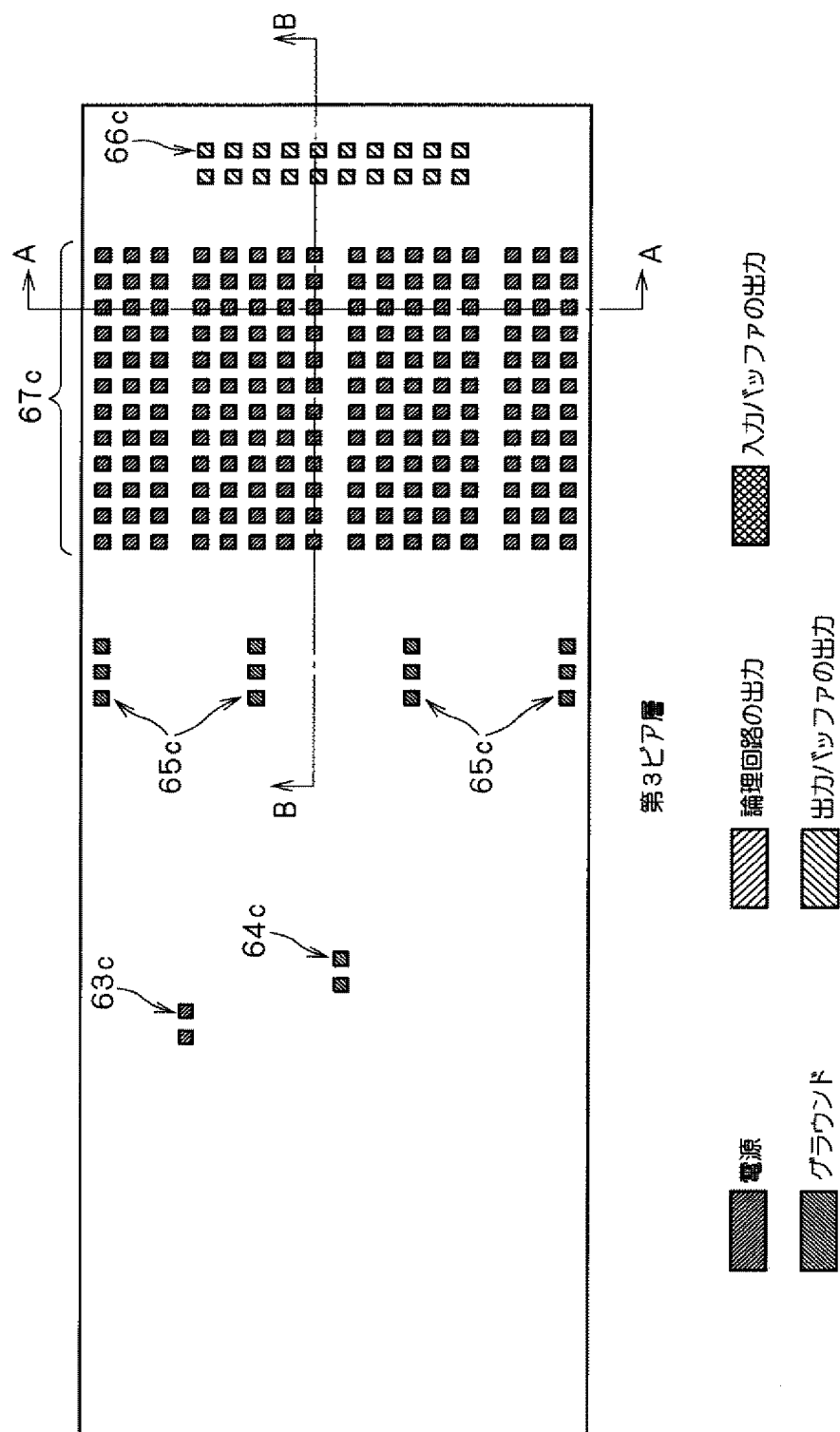
[図50]



[図51]

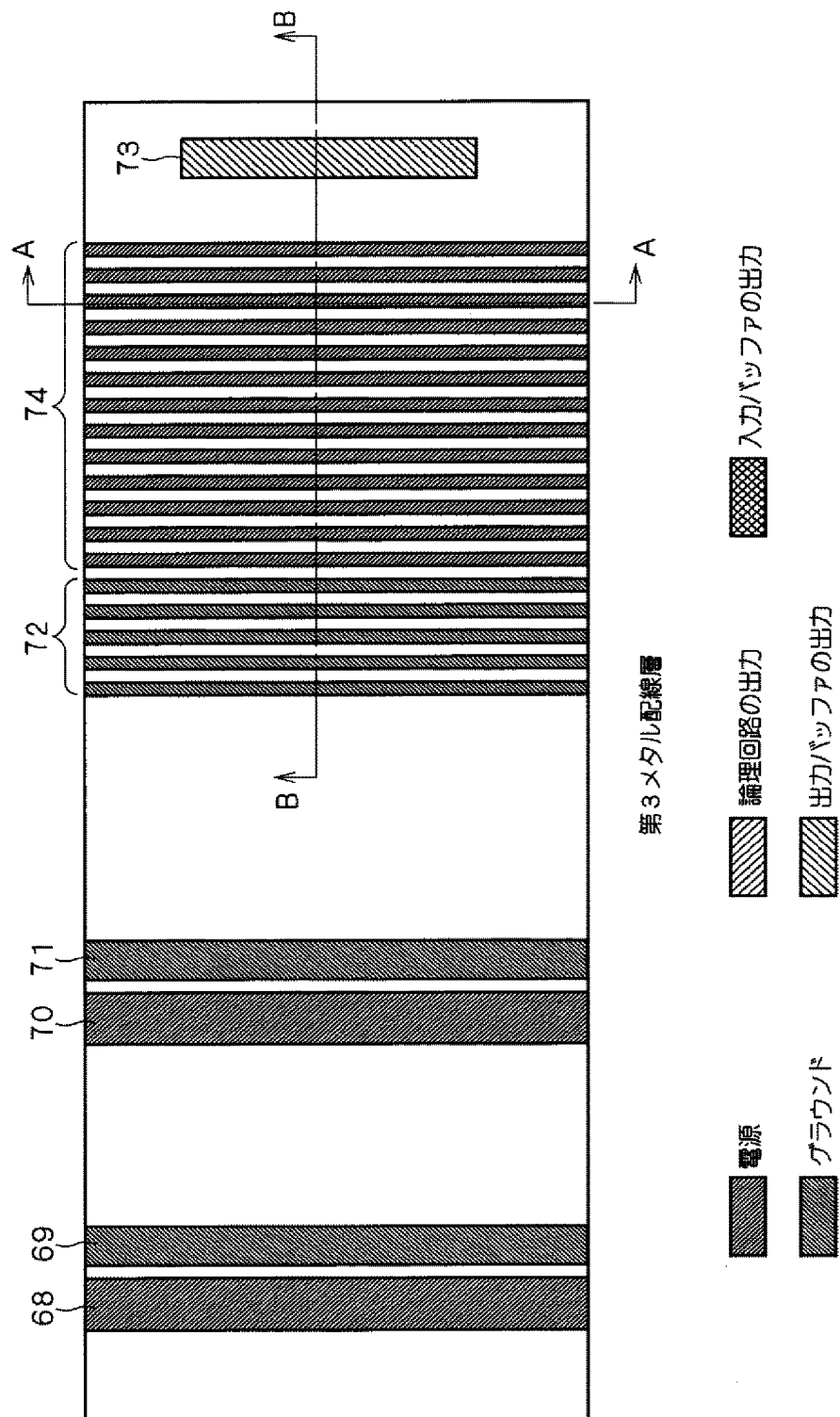


[図52]

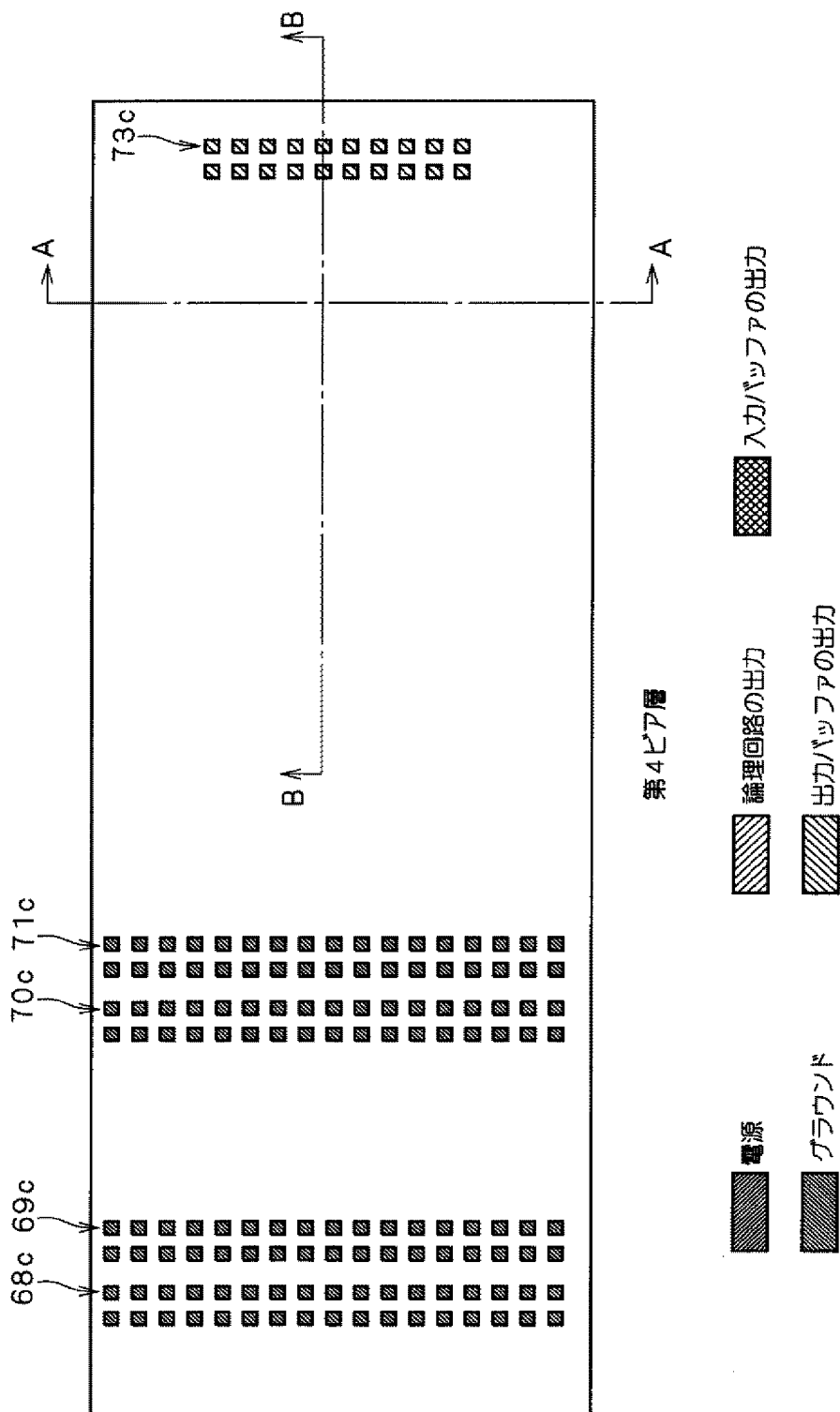




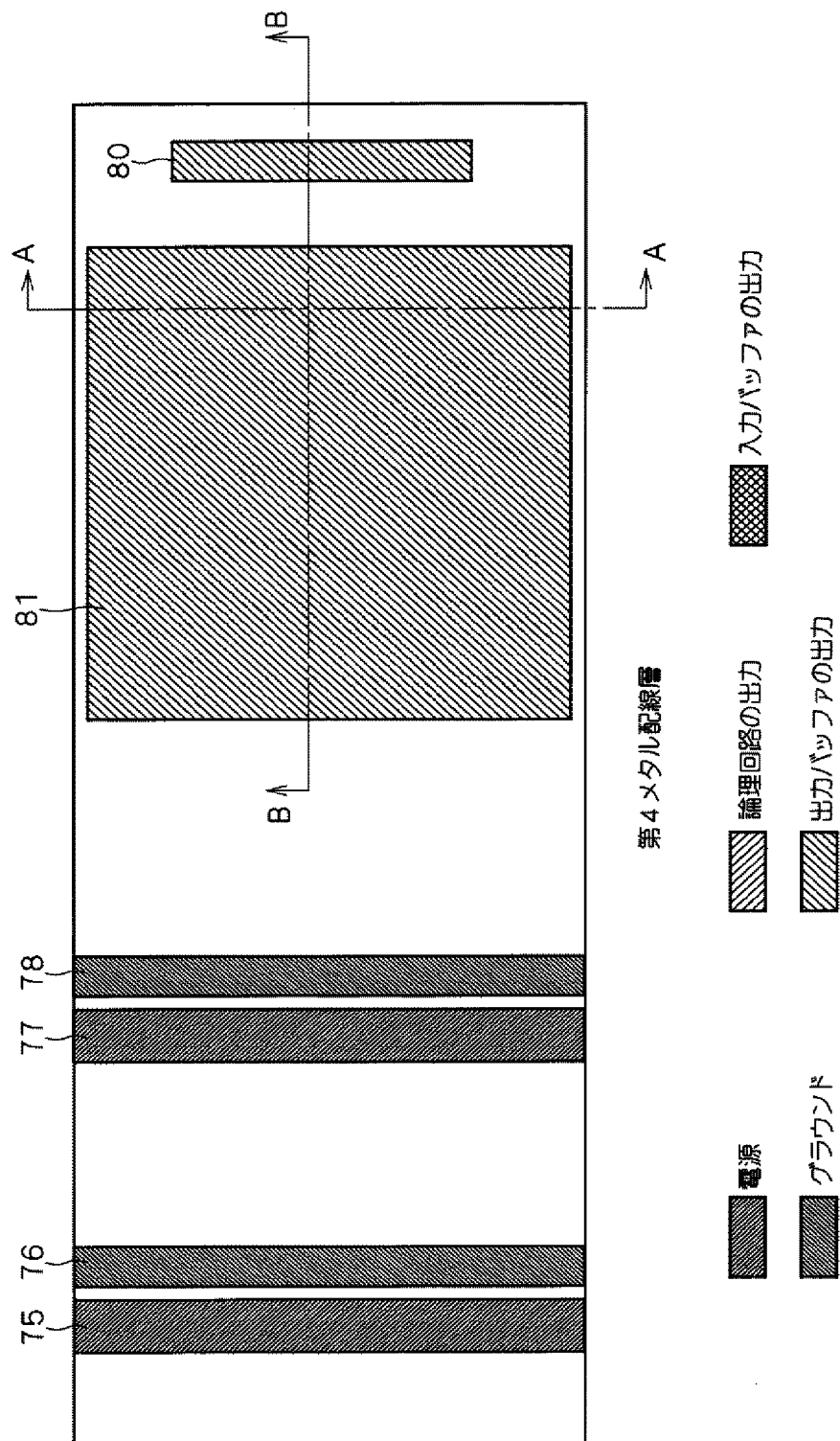
[図53]



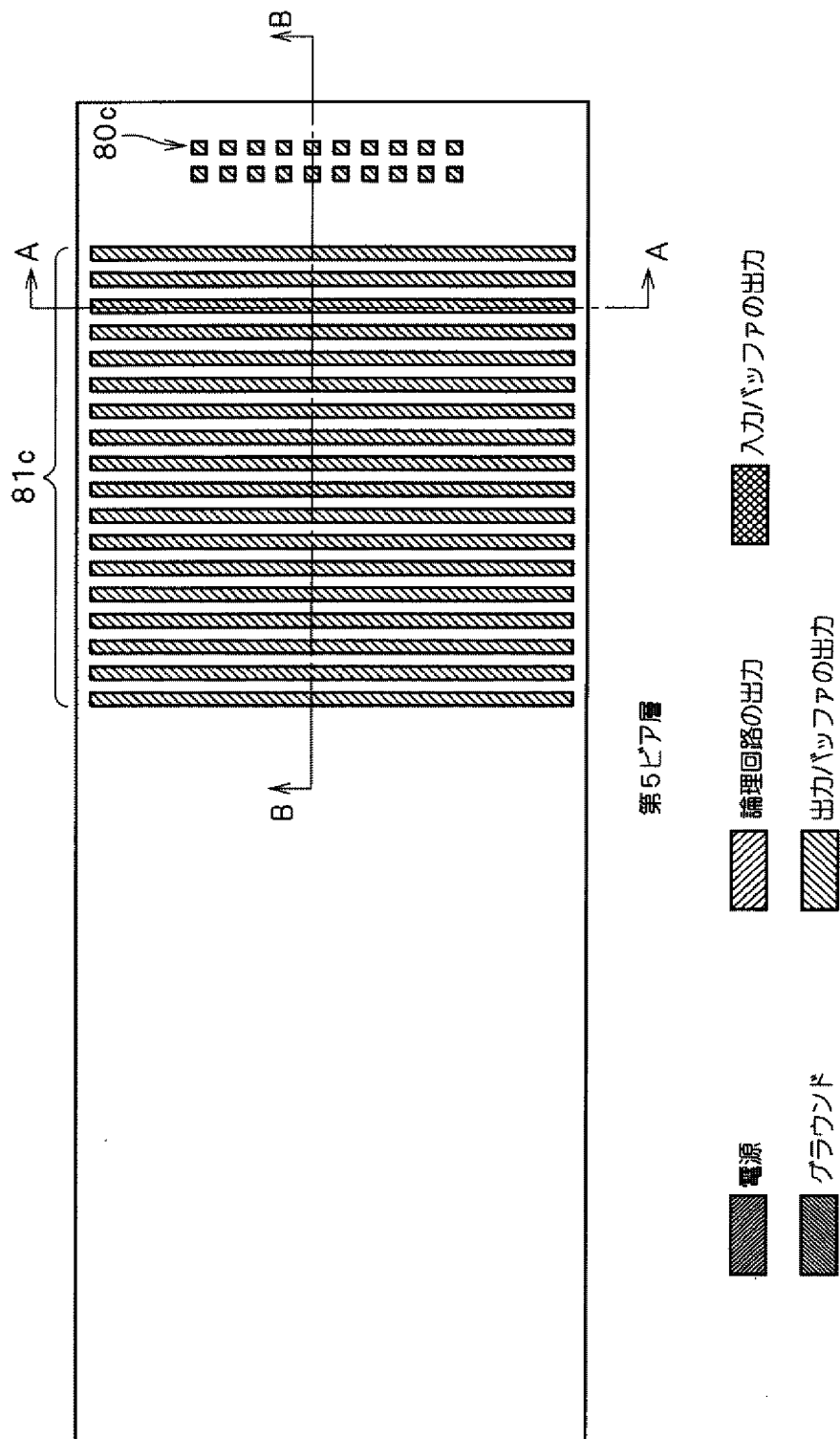
[図54]



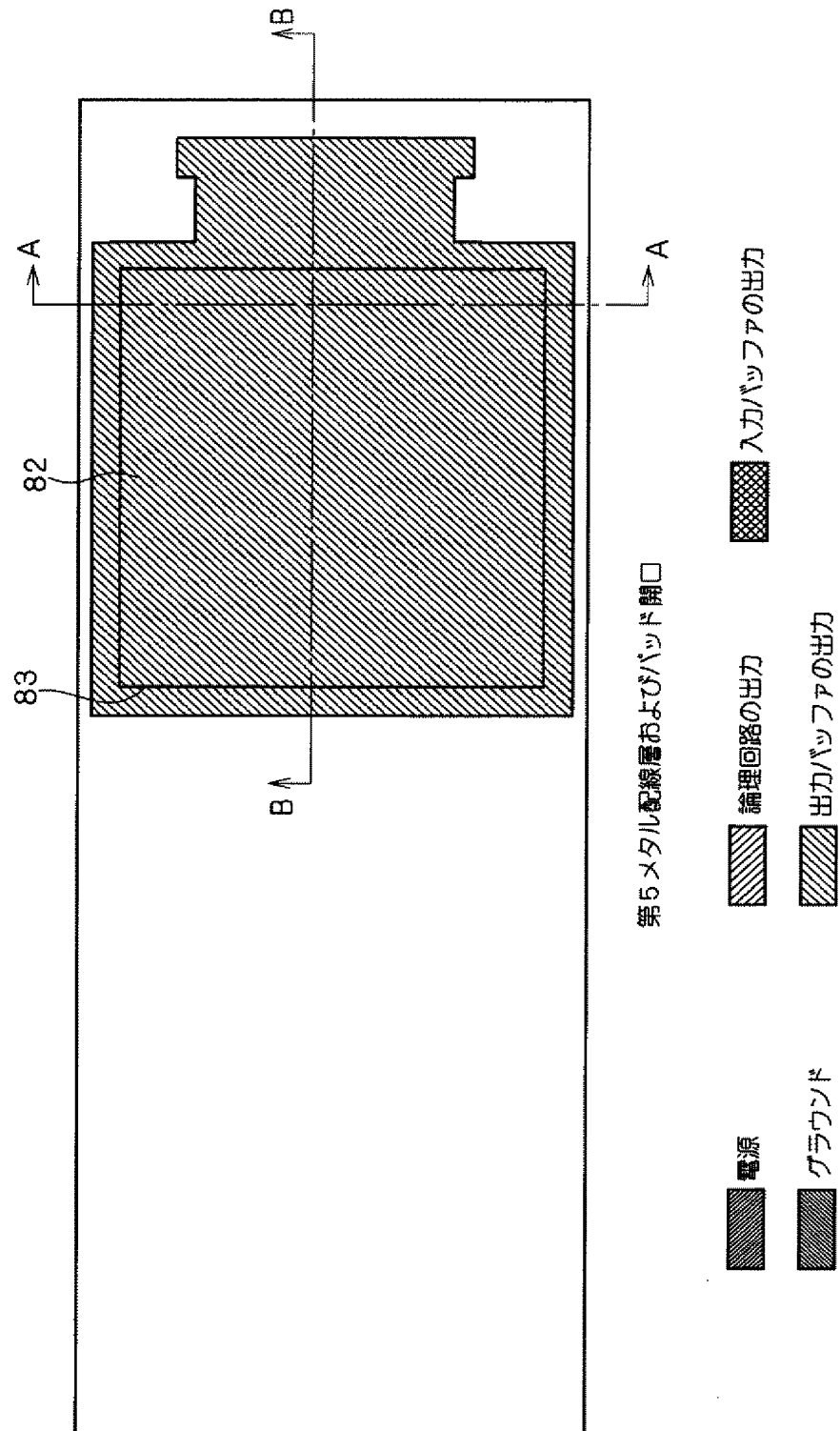
[図55]



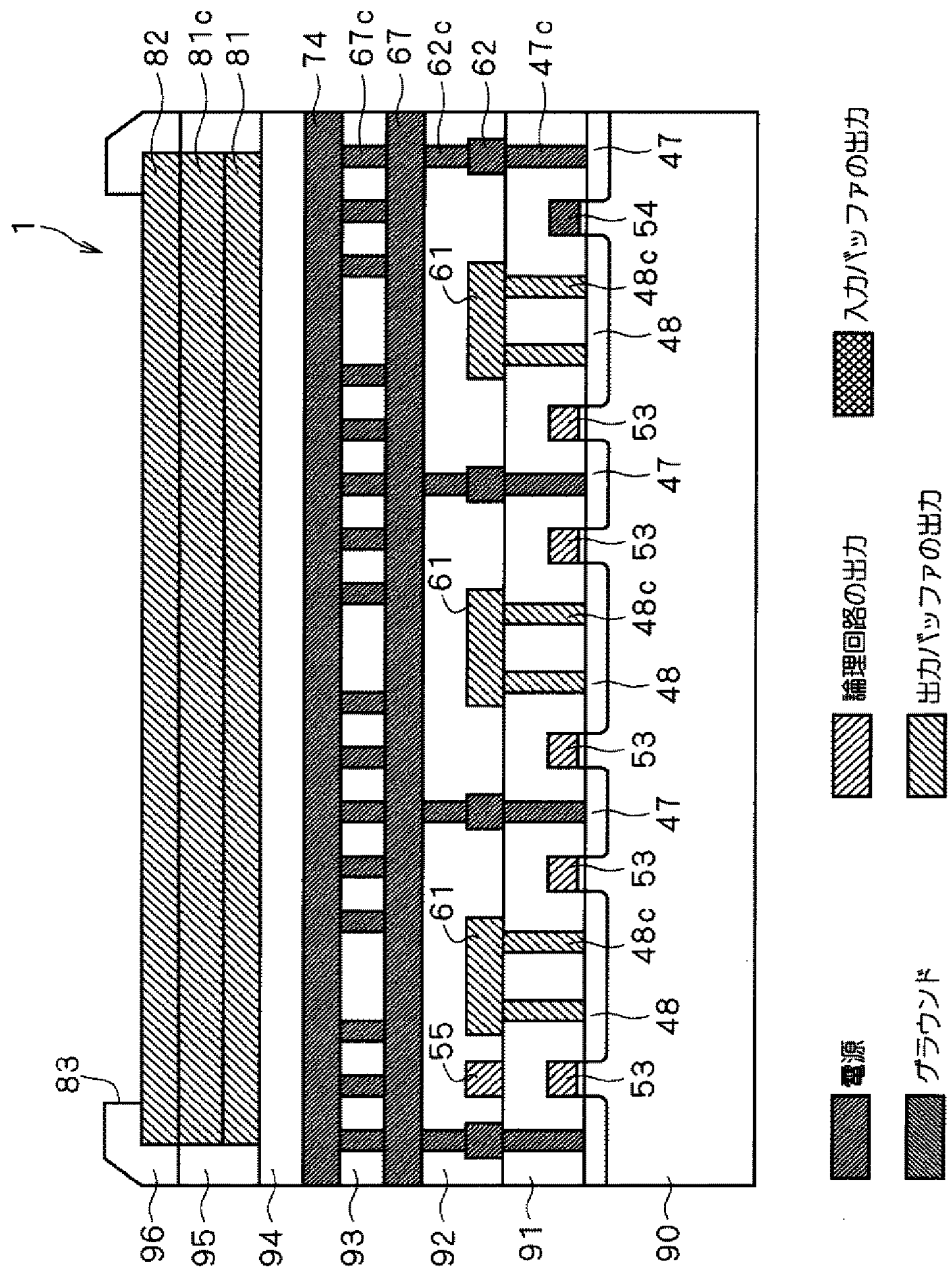
[図56]



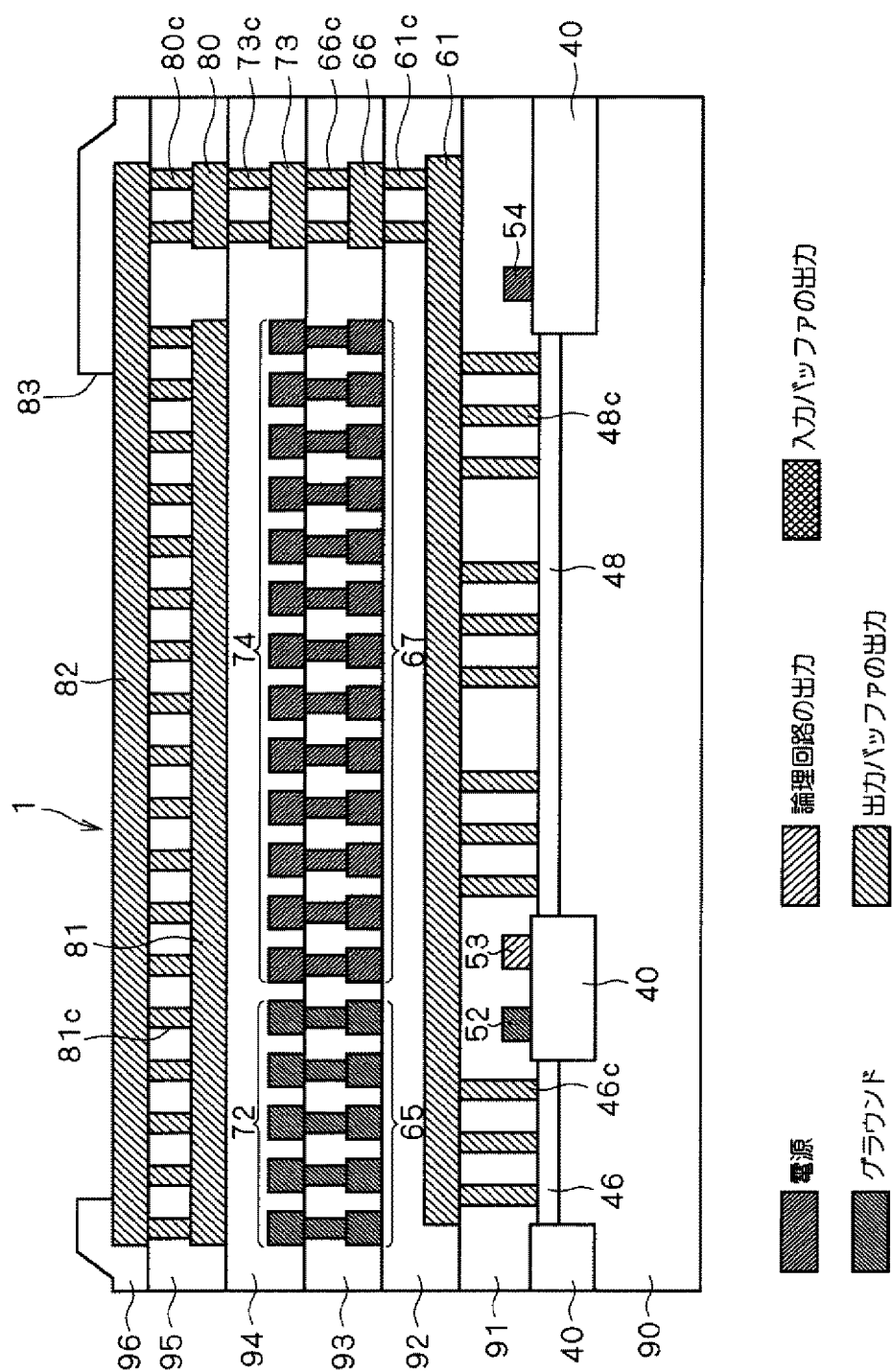
[図57]



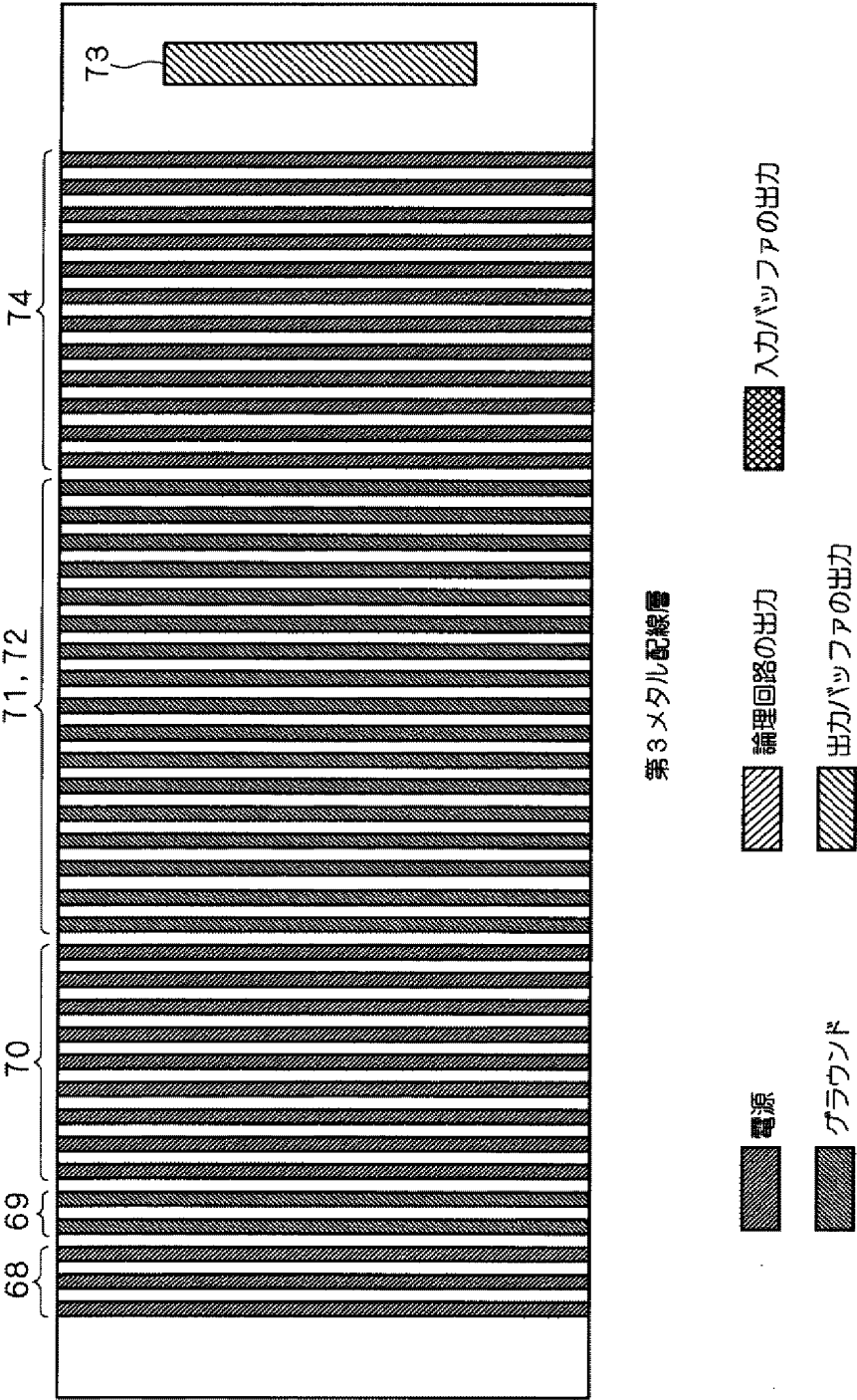
[図58]



[図59]

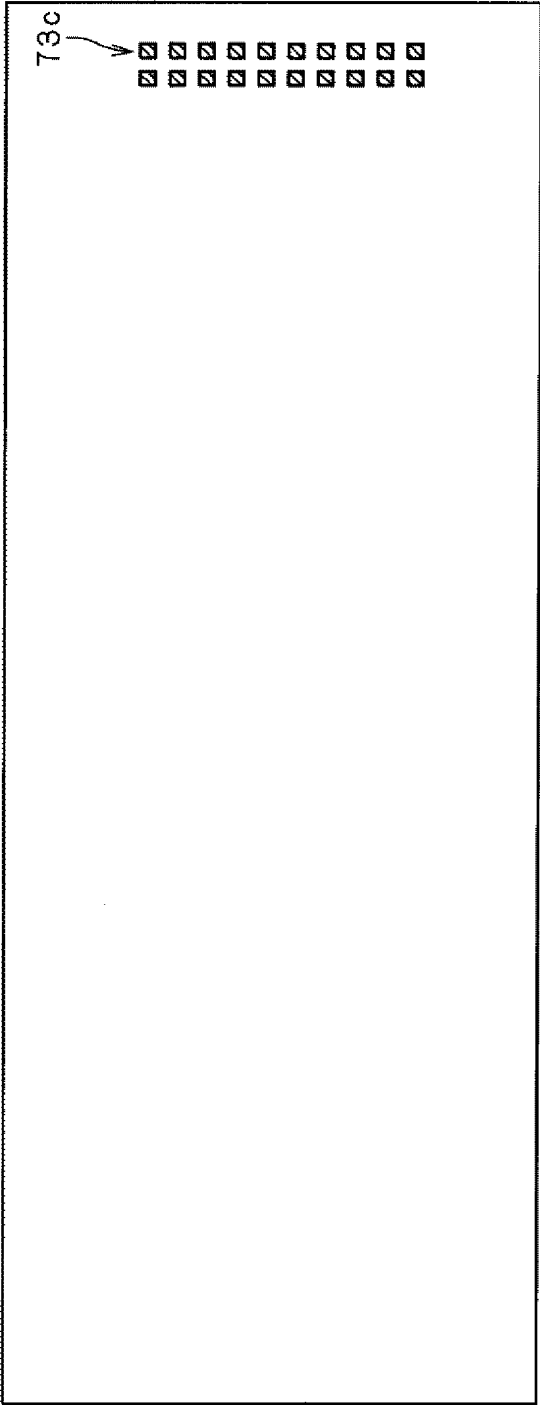


[図60]





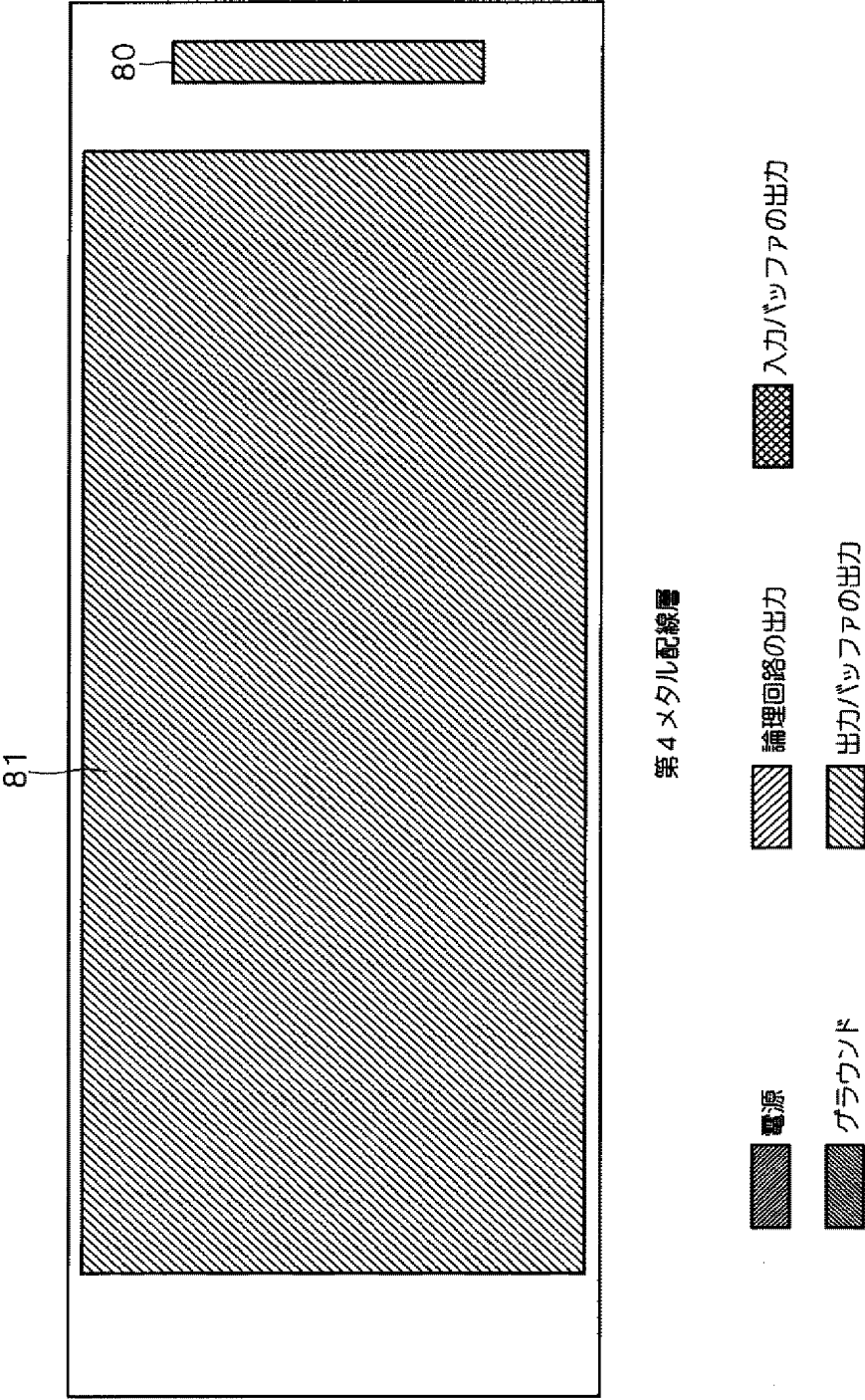
[図61]



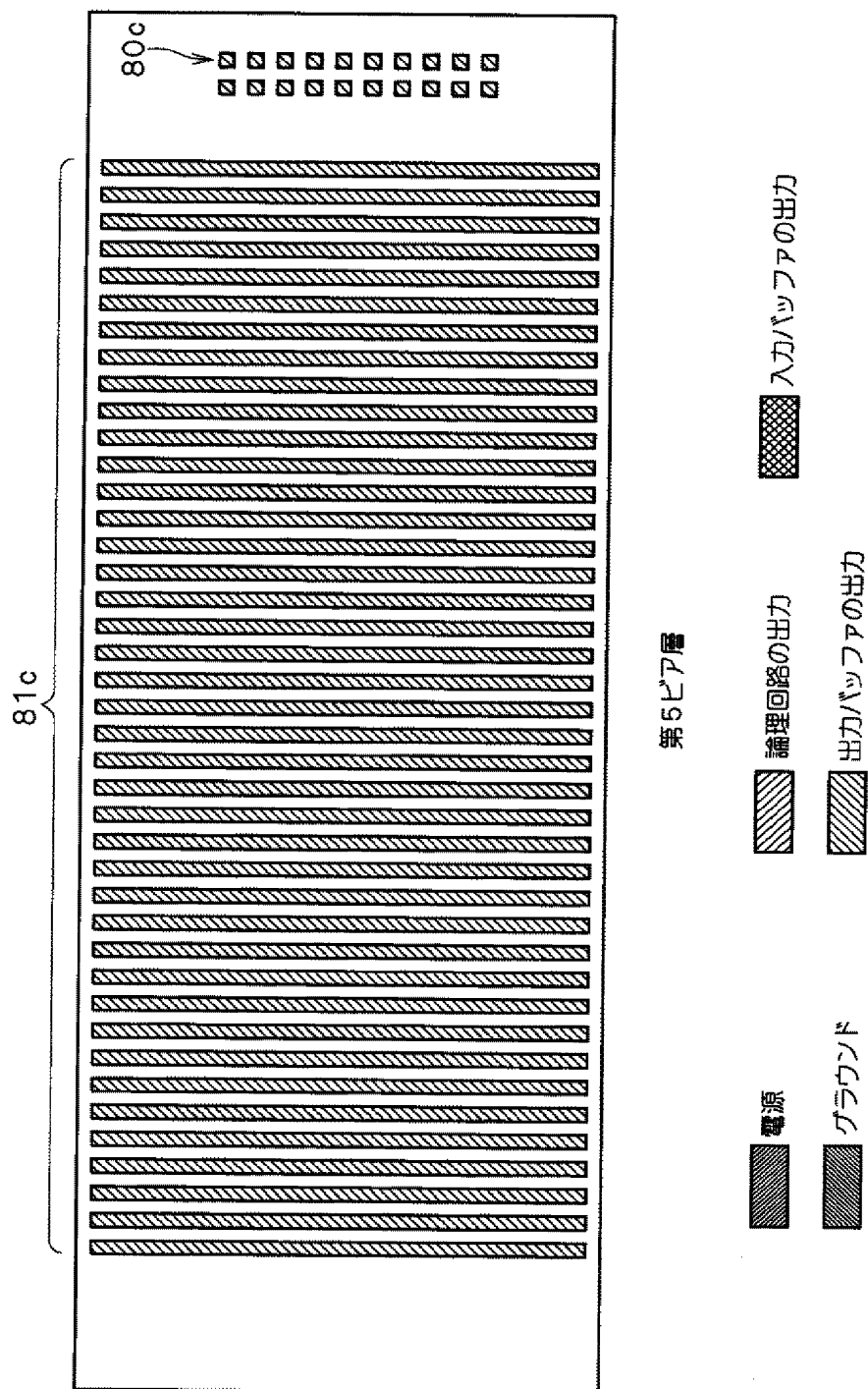
第4ビット層

- |   |       |  |           |   |           |
|---|-------|--|-----------|---|-----------|
|  | 電源    |  | 論理回路の出力   |  | 入力バッファの出力 |
|  | グラウンド |  | 出力バッファの出力 |   |           |

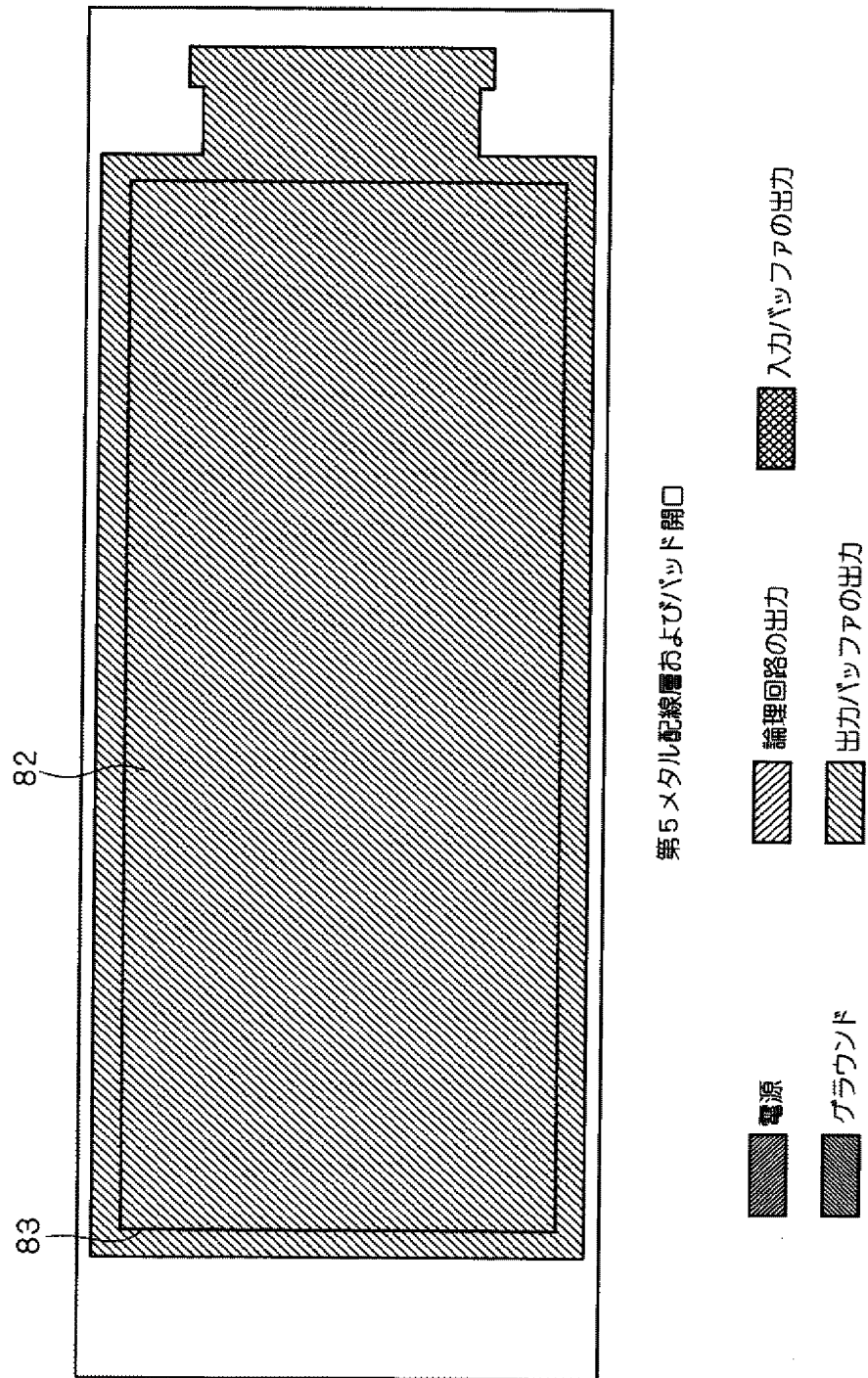
[図62]



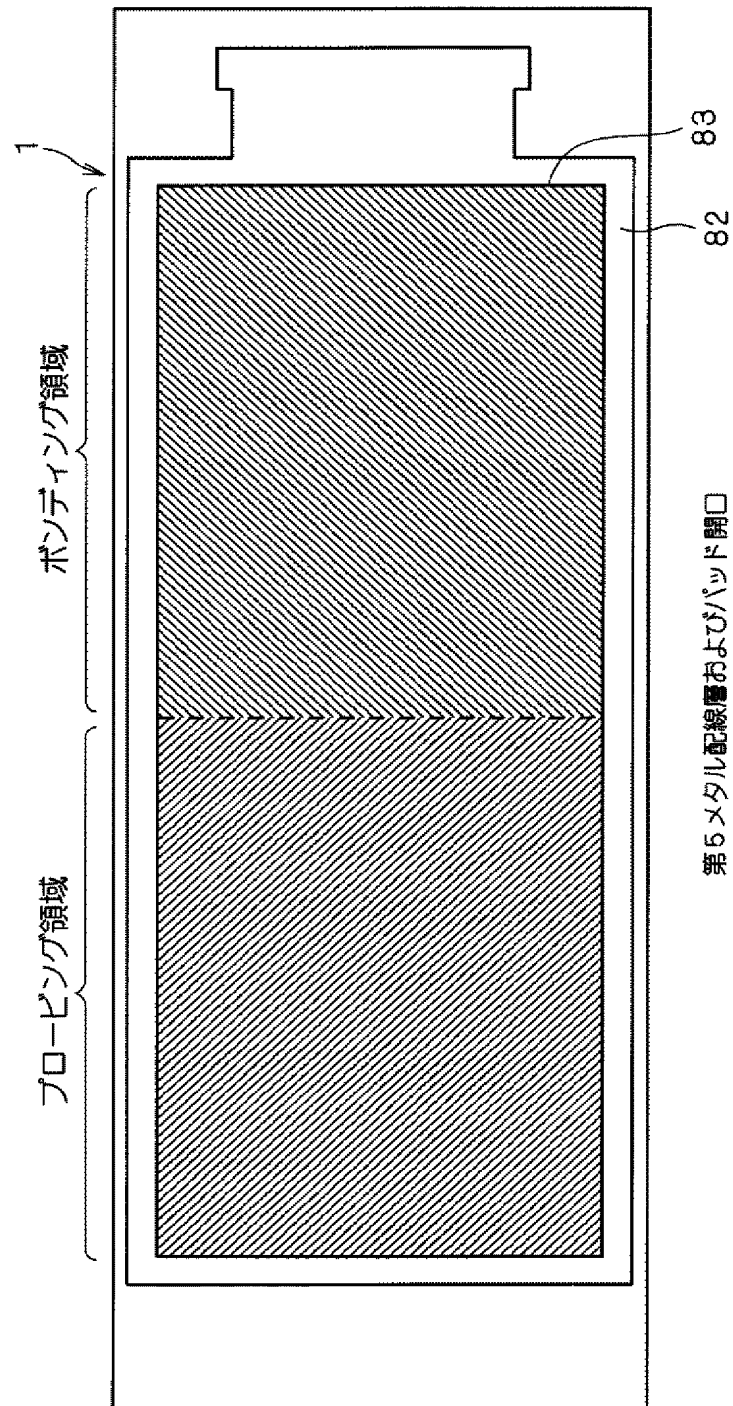
[図63]



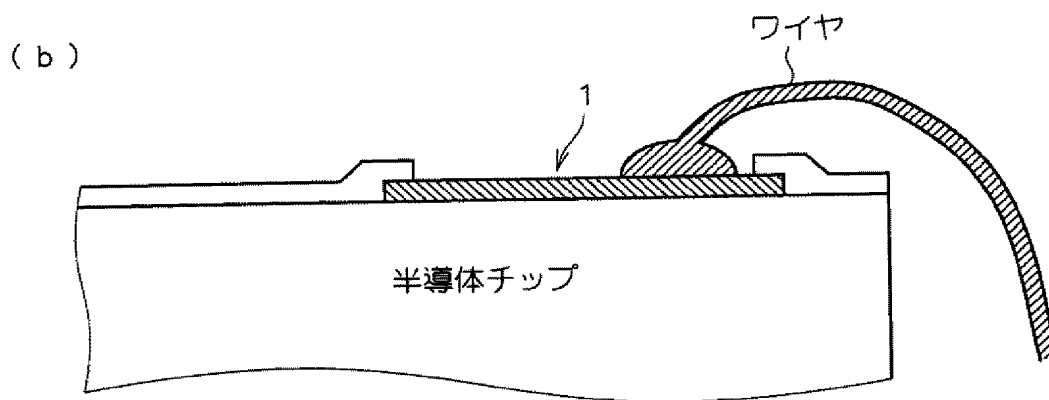
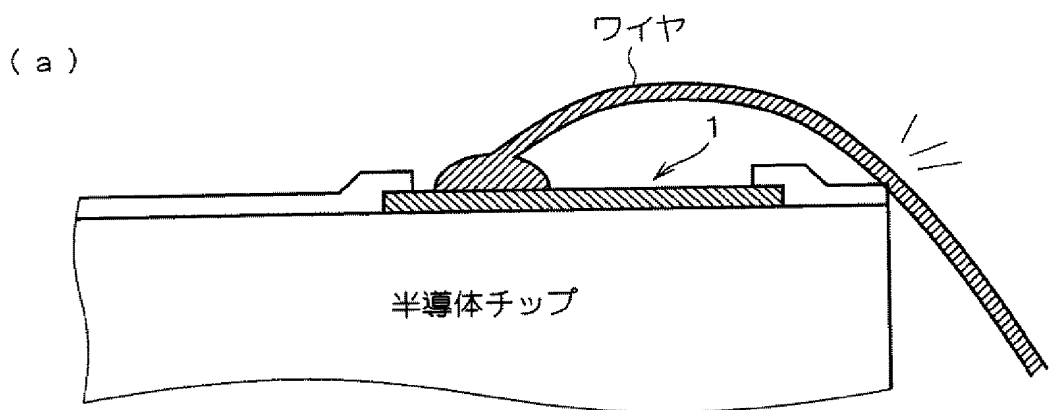
[図64]



[図65]



[図66]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002801

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/3205, 21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/3205, 21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-163267 A (Mitsubishi Electric Corp.), 06 June, 2003 (06.06.03), Full text; all pages (Family: none)	23-27, 32
Y	JP 2002-299567 A (Sony Corp.), 11 October, 2002 (11.10.02), Full text; all pages (Family: none)	23-27, 32
Y	JP 8-236706 A (Hitachi, Ltd.), 13 September, 1996 (13.09.96), Full text; all pages (Family: none)	23-27, 32

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
11 May, 2005 (11.05.05)

Date of mailing of the international search report  
24 May, 2005 (24.05.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002801

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-246861 A (NEC Corp.), 02 October, 1989 (02.10.89), Full text; all pages (Family: none)	23-27, 32
A	JP 2004-014609 A (Sharp Corp.), 15 January, 2004 (15.01.04), Full text; all pages & US 2004/0016949 A1	1-36
A	JP 2002-324798 A (Nissan Motor Co., Ltd.), 08 November, 2002 (08.11.02), Full text; all pages (Family: none)	1-36
A	JP 2002-222811 A (Seiko Epson Corp.), 09 August, 2002 (09.08.02), Full text; all pages & US 2002/0121701 A1	1-36
A	JP 2002-016069 A (Matsushita Electric Industrial Co., Ltd.), 18 January, 2002 (18.01.02), Full text; all pages (Family: none)	1-36
A	JP 2001-085465 A (Matsushita Electronics Corp.), 30 March, 2001 (30.03.01), Full text; all pages (Family: none)	1-36



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/3205, 21/60

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L21/3205, 21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-163267 A (三菱電機株式会社) 2003.06.06, 全文, 全頁 (ファミリーなし)	23-27, 32
Y	JP 2002-299567 A (ソニー株式会社) 2002.10.11, 全文, 全頁 (ファミリーなし)	23-27, 32
Y	JP 8-236706 A (株式会社日立製作所) 1996.09.13, 全文, 全頁 (ファミリーなし)	23-27, 32

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

11.05.2005

国際調査報告の発送日

24.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

電話番号 03-3581-1101 内線 3498

4L

8427

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 1-246861 A (日本電気株式会社) 1989. 10. 02, 全文, 全頁 (ファミリーなし)	23-27, 32
A	J P 2004-014609 A (シャープ株式会社) 2004. 01. 15, 全文, 全頁 & US 2004/0016949 A1	1-36
A	J P 2002-324798 A (日産自動車株式会社) 2002. 11. 08, 全文, 全頁 (ファミリーなし)	1-36
A	J P 2002-222811 A (セイコーエプソン株式会社) 2002. 08. 09, 全文, 全頁 & US 2002/0121701 A1	1-36
A	J P 2002-016069 A (松下電器産業株式会社) 2002. 01. 18, 全文, 全頁 (ファミリーなし)	1-36
A	J P 2001-085465 A (松下電子工業株式会社) 2001. 03. 30, 全文, 全頁 (ファミリーなし)	1-36